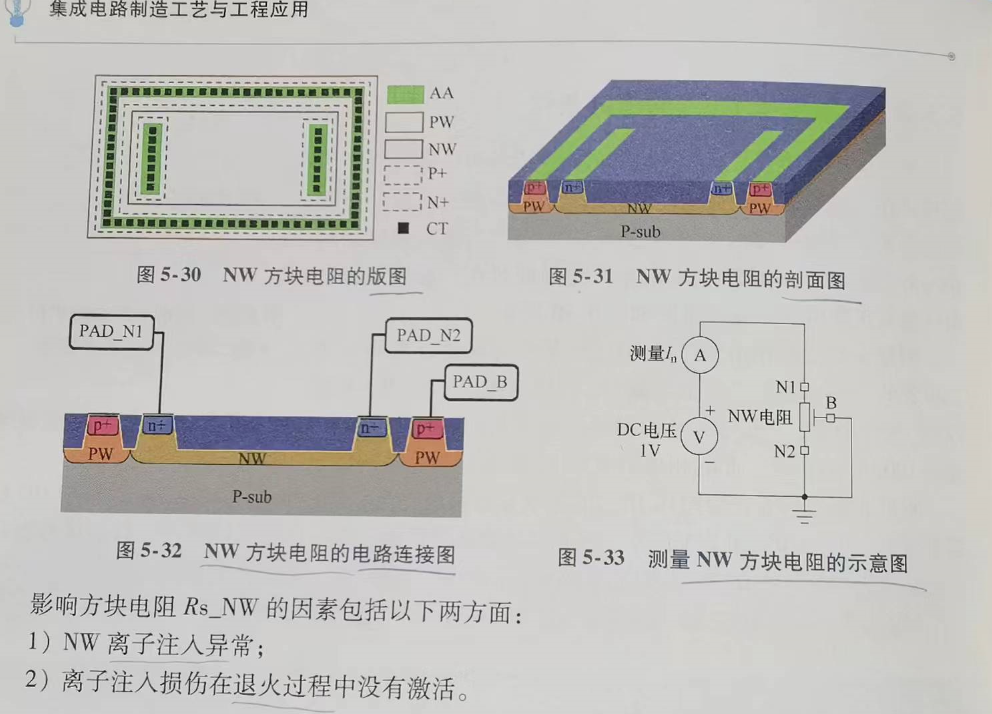
集成电路电阻bulk端怎么接？

# 1，电阻4种类型

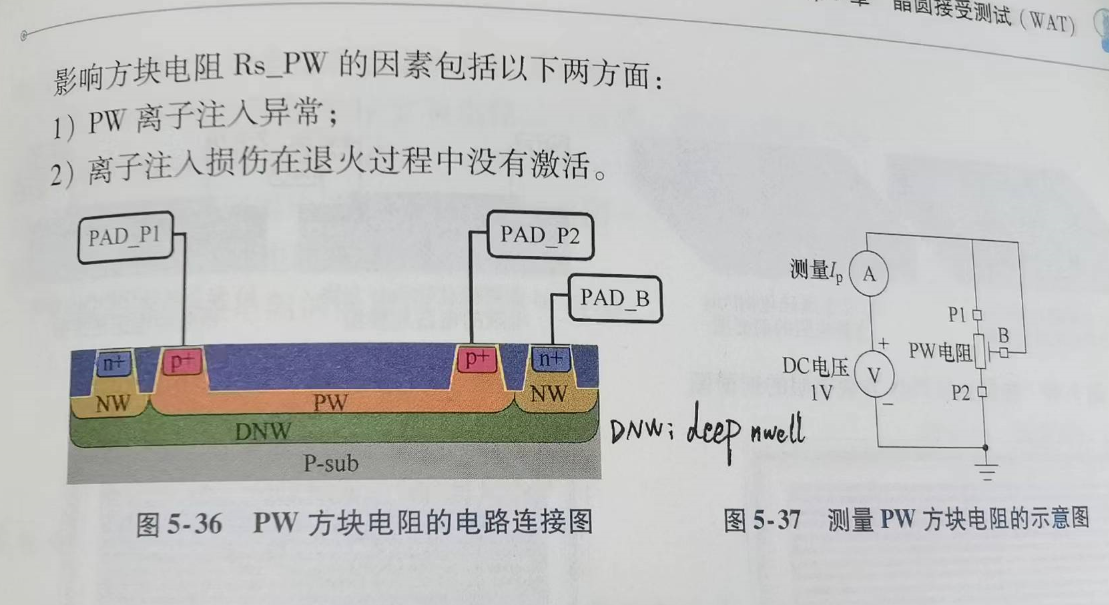
集成电路的电阻有4中类型：1，WELL电阻；2，Poly电阻；3，AA方块电阻；4，金属电阻；

## 阱电阻：

NWELL电阻bulk端接地：

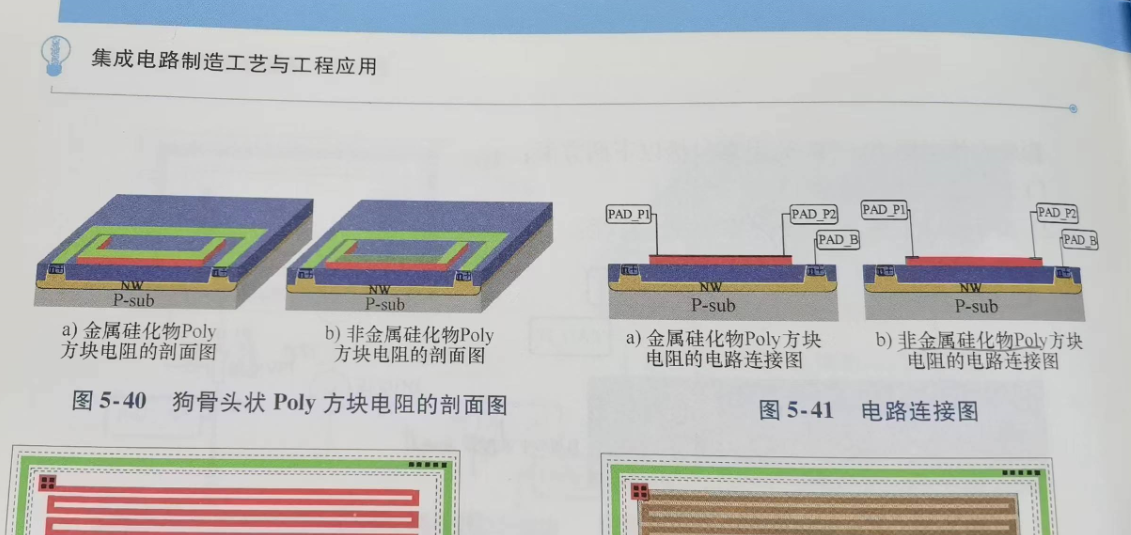


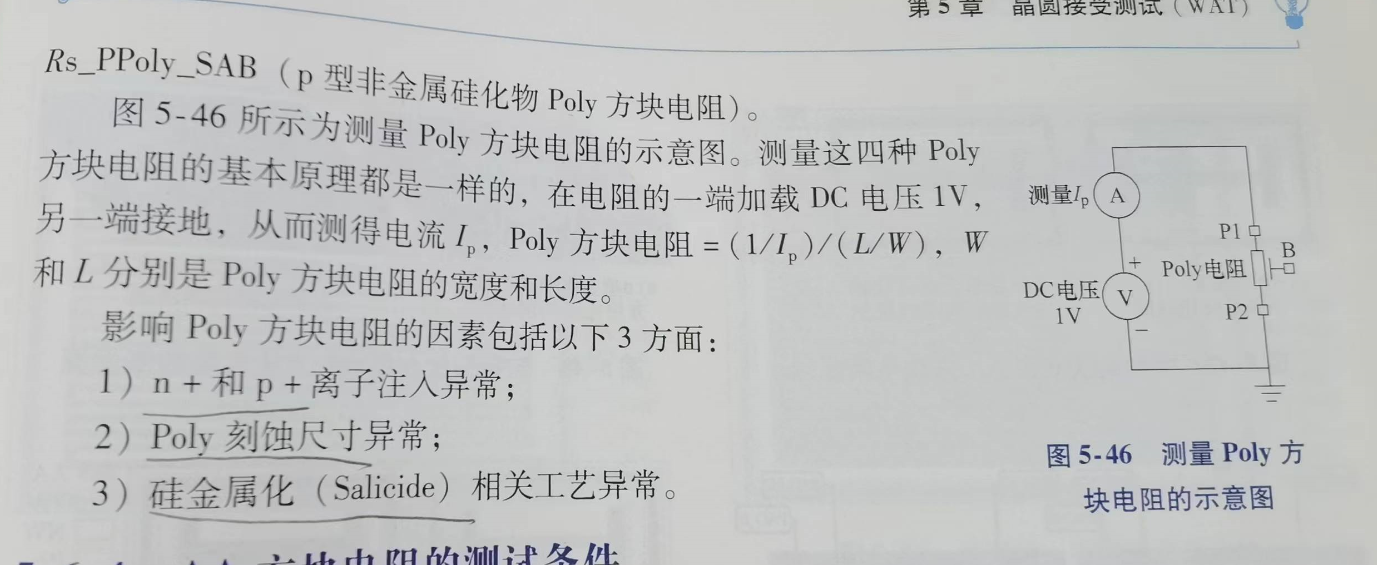
PWELL电阻bulk端接VDD：



## 1.2，多晶电阻：

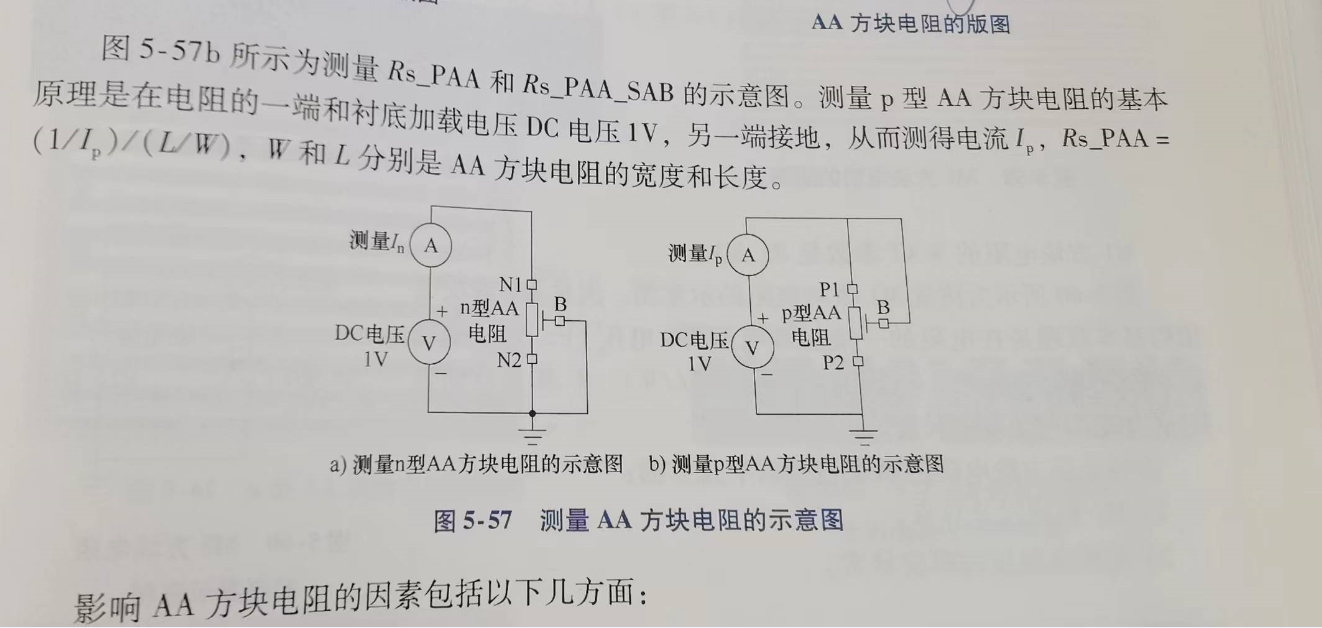
POLY电阻bulk端一般接VDD：（也可以接地，详解如1.4：）

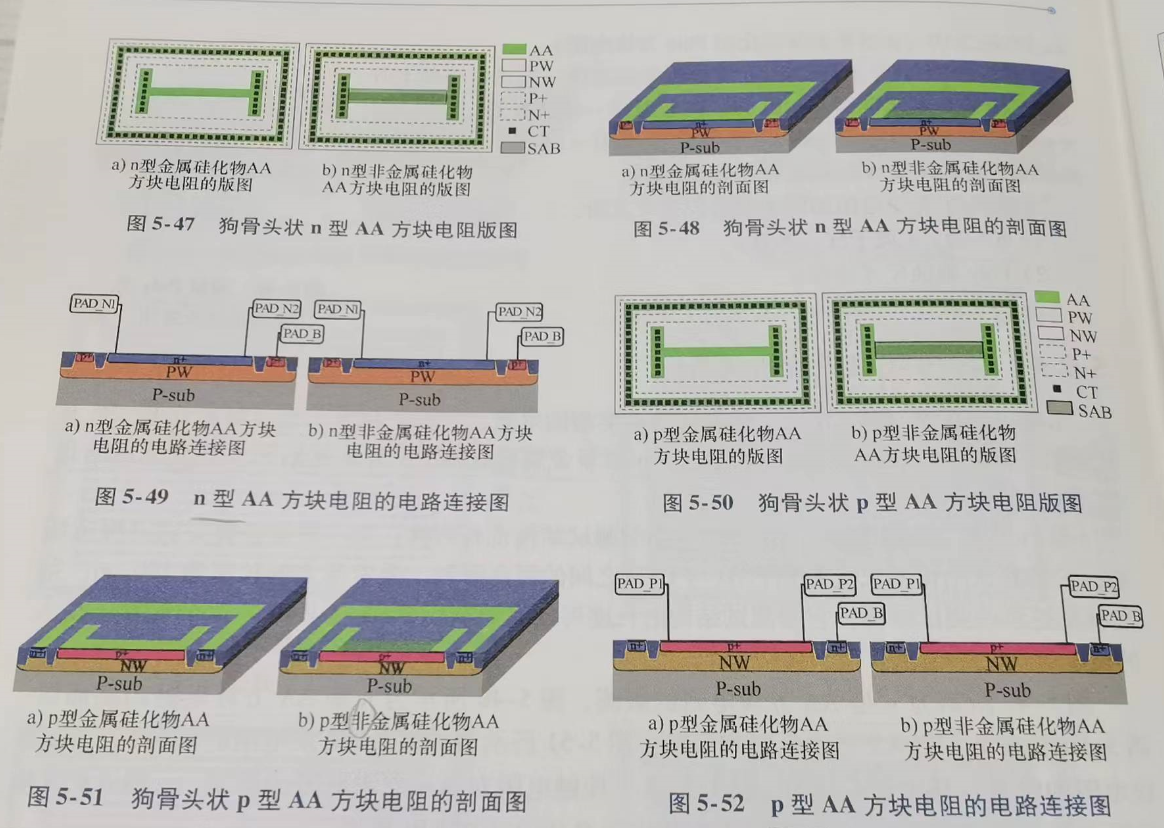




## 1.3，有源区电阻：

N型AA电阻bulk端接地；P型AA电阻bulk端接VDD；

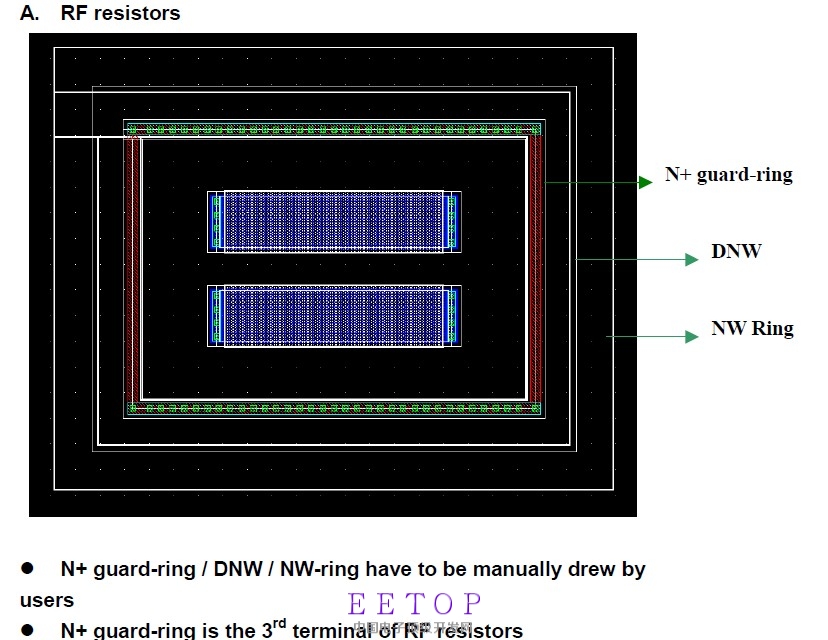




## 1.4，多晶电阻bulk的不同接法：

电路图中第三端接的应该是gnd。但说明文档给出的图显示，n+gardring是第三端，所以，[版图](http://bbs.eetop.cn/forum-202-1.html)上第三端接的不应该是vdd吗？这样才能形成反向pn结起到隔离作用。请问电路、版图的第三端究竟要接什么电位，恳请指点！





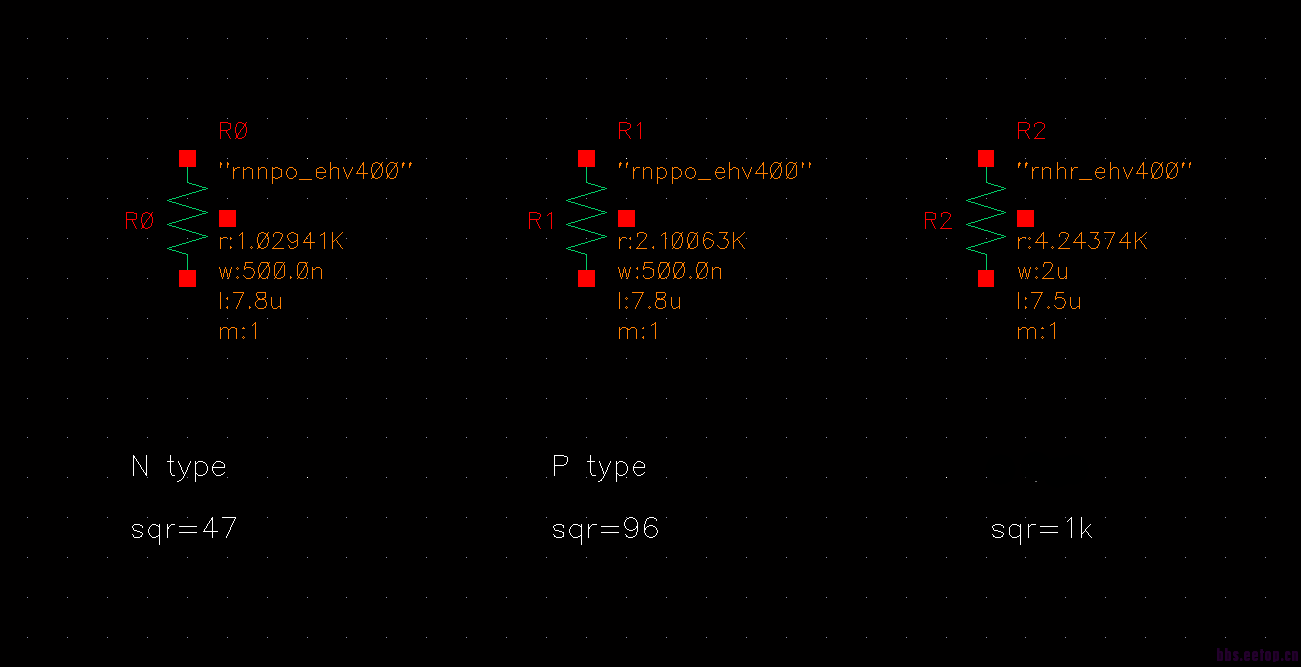
1，一般来说，如果是well（P/N）电阻、diff电阻等有源电阻，所在well需要避免结的順偏漏电。**如果是poly电阻，poly与下方的well不会存在直接的通过，well电位相对较灵活一些，面积比较充分的情况下，可以考虑将poly电阻放在nwell里面，有隔离噪声的作用。至于well电位，建议nwell接到相对稳定的高电位，若接到低电位或多或少有latch的风险，pwell的话接到低电位就好。**此外，若是高压环境，注意寄生MOS的影响。

2， 看线路要求  接地也是可以的

3，接地也不是说不可以，相对来说地上的噪声比电源可能要小吧。只是nwell接地，要特别注意周围的环境，避免foward or latch，有些fab的rule就会要求0V的nwell要和接电源的nwell拉开40um！！！

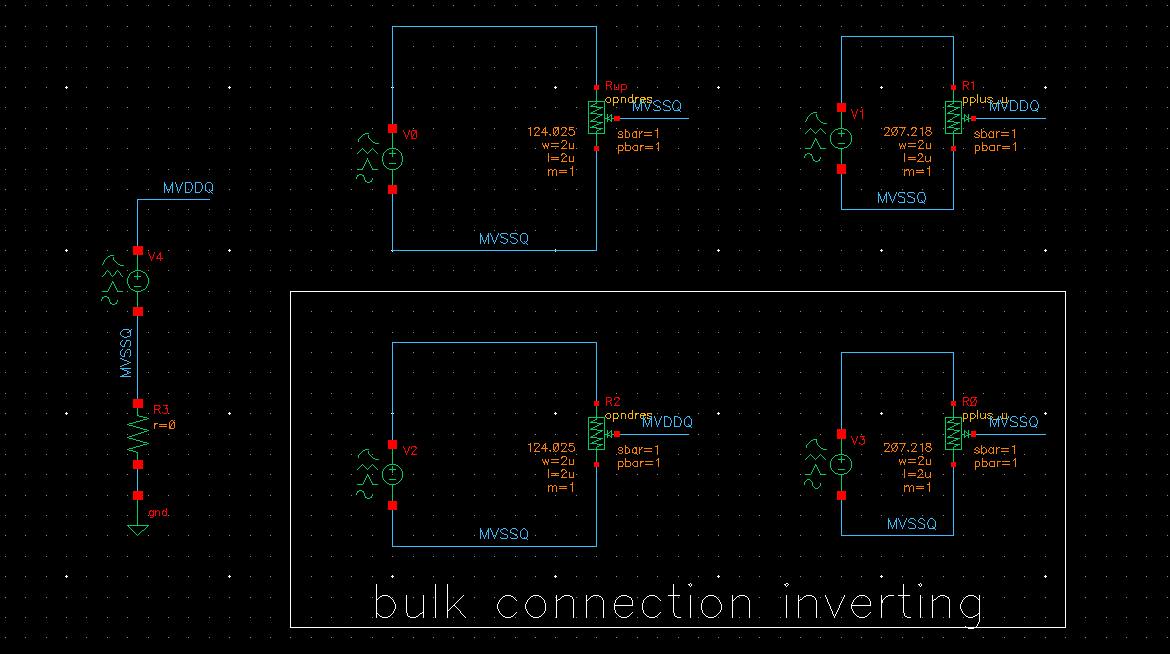
4，PSUB  OR nwell

**多晶硅电阻的第三端（衬底），该接VDD还是GND啊？**



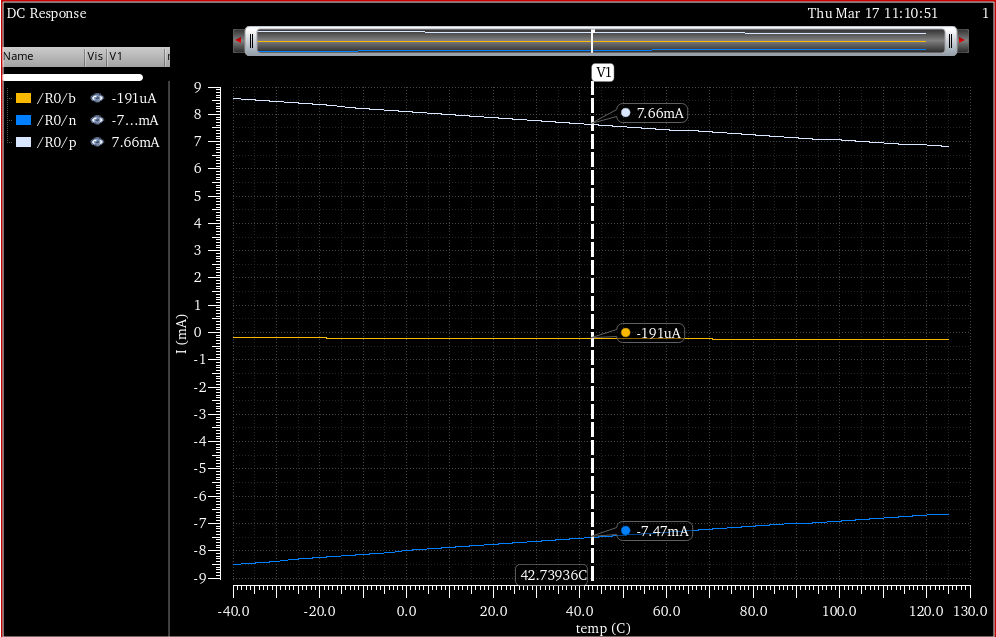
一般默认接独立干净的高电位

# 2，电阻bulk端接错



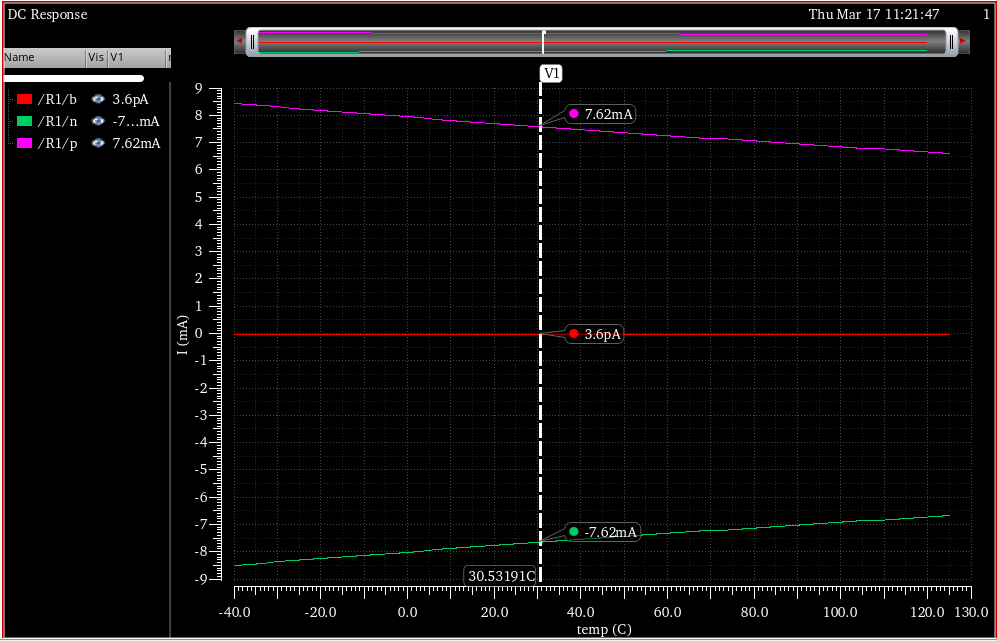
若电阻bulk端连接反了，会出现衬底漏电现象。电阻不准。

下图中是RO的端电流。R0/b有191uA电流漏电。



R1的bulk是正确接法。

下图中是R1的端电流。R1/b漏电3.6pA，可以忽略。



Opndres pplus\_u：

