例1: 估算参数的求取

1. Kn、Kp的求取



表 1.1

思考题 1.1: 从表 1.1 中可以看出沟道调制效 应系数λ是否为常数?为什么?

 $I_{D_{n}(p)} = \frac{\mu_{n(p)}C_{ox}W}{2L}V_{on}^{2}(1 + \lambda V_{DS}) = K_{n(p)}$

•

中小汉	Vds	L=2u					
	Kn(p)	0.5	0.8	1.1	1.4	1.7	
$\frac{W}{V}$ 2	NMOS ($\mu A \bullet V^{-2}$)	28.4	29.5	30.1	30.6	31.0	
L ^{on}	PMOS ($\mu A \bullet V^{-2}$)	9.7	10.5	11.2	12.0	12.8	

上试中:
$$K_{n(p)} = \frac{\mu_{n(p)}C_{ox}}{2}(1+\lambda V_{DS})$$

2. λn、λp 的求取



第2页共103页



Vds	L=2u				L=3u				L=4u						
λn(p)	0.5	0.8	1.1	1.4	1.7	0.5	0.8	1.1	1.4	1.7	0.5	0.8	1.1	1.4	1.7
Routn $(K\Omega)$	14.3	32.8	44.2	51.8	56.8	18.5	50.0	65.7	75.8	82.3	20.6	62.7	84.2	96.4	103.9
λn (V ⁻¹)	0.19	0.08	0.06	0.05	0.04	0.15	0.05	0.04	0.036	0.033	0.097	0.044	0.033	0.028	0.026
Routp $(K\Omega)$	20.6	33.0	32.2	31.1	30.0	20.2	38.3	38.0	36.9	35.9	19.5	43.6	43.7	42.8	41.8
λp (V ⁻¹)	0.40	0.23	0.22	0.21	0.20	0.39	0.19	0.18	0.178	0.173	0.39	0.164	0.156	0.152	0.149

*比较上面求得的λn、λp与上学期所学教材中λ∞1/L的差异。

MOSFET 的简化版图如图 1.5 所示,其中 L1 表示 MOS 管源漏区接触孔与多晶硅之间的最小距离,L2 表示接触孔的最小尺寸,L3 表示接触孔与源漏区边缘间的最小距离。寄生电容可按表 1.3 估算:



第3页共103页

重庆邮电大学

表 1.3 MOS 管寄生电容的计算公式

MOSFET 的寄生电容	C _{GS}	C_{GD}	C_{DB} (C_{SB})
饱和区	$C_{GSO} \ W_{eff} \ +0.67 \ C_{OX} \ W_{eff} \ L_{eff}$	$C_{GDO}W_{eff}$	WE C _j +2(W+E) C _{jsw}

表 1.3 中 E = L₁ + L₂ + L₃, L₁、L₂、L₃ 这些规则尺寸可以很容易在技术资料上找到(对于"懒惰"的工程师们而言,一个也许更高效的办法是从晶元厂提供的版图库中直接通过测量获得)。一种保守的方法是取 E=9um 来进行估算。

CGSO、CGDO分别为单位宽度的栅一源和栅一漏交叠电容,单位为 F/m; C_{jsw}为单位长度的源(漏) 侧壁结电容,单位为 F/m; C_j为单位面积的源(漏)结电容,单位为 F/m²。这些数据可从模型参数 中直接获取。

我们采用的模型中的寄生电容参数如下:

NMOS 的寄生电容

V_{TH0}= 0.5815607 C_{GS0}= 2.7×10⁻¹⁰ C_{GD0}= 2.7×10⁻¹⁰ Cj= 2.806451×10⁻⁴ Cjsw= 1.464911×10⁻¹⁰ PMOS 的寄生电容

 $V_{TH0} = -0.8058627$ $C_{GSO} = 2.7 \times 10^{-10}$ $C_{GDO} = 2.7 \times 10^{-10}$ $C_j = 2.959698E-4$ $C_{jSW} = 1.464496 \times 10^{-10}$

重庆邮电大学



$$g_{mn} = (4Kn (W/L)_{MN1} I_D)^{1/2} = (4 \times 30.5 \times 82 \times 100)^{1/2} \approx 1.0 mA \bullet V^{-1}$$

或者 $g_{mn} = 2 I_D / (V_{GS} \bullet V_{TN}) = 2 I_D / V_{on1} = 200/0.2 = 1.0 mA \bullet V^{-1}$
Rout = 1/ ((λ n+ λ p) I_D) $\approx 1/$ ((0.05+0.21) $\times 100 \times 10^{-6}$) = 38.5K
 $Av = g_{mn} / ((\lambda n + \lambda p) I_D) \approx 10^{-3} / ((0.05+0.21) \times 100 \times 10^{-6}) = 38.5 (即 31.7dB)$ (满足要求)
4. 估算各管的宽长比,查表 1.1 可知 Kn ≈ 30.5 ua, Kp ≈ 12.8 ua,

$$(W/L)_{MN1} = I_D/(Kn \times Von^2) = 100/(30.5 \times 0.2^2) \approx 82 = 164/2$$

$$(W/L)_{MP1} = I_D/(Kp \times Von^2) = 100/(12.8 \times 0.6^2) \approx 22 = 44/2$$

二、仿真验证

1. 静态工作点仿真结果如图 2.2 所示



图 2.2

2. 输出电压摆幅及跨导 g_{MN} 仿真结果如图 2.3 所示

输出电压摆幅 0.454V~2.374V

计算值 $g_{mn} = (4Kn (W/L)_{MN1} I_D)^{1/2} = (4 \times 30.5 \times 72 \times 100)^{1/2} \approx 0.937 \text{ mA} \bullet V^{-1}$

第5页共103页

仿真值 g_{mn}=0.637 mA•V⁻¹(见图 2.3)



3. 小信号输出电阻随输出电压的仿真结果如图 2.4 所示。



图 2.4

静态工作点输出电阻的仿真值: OUTPUT RESISTANCE AT V(OUT) = 3.840E+04,即 38.4K 静态工作点输出电阻的估算值: 38.5K(见前页)

*思考题 2.1: 为什么小信号输出电阻随输出电压变化而变化?

第6页共103页

CMOS 模拟集成电路 CAD 讲义

4. 增益 Av 与 f3dB 仿真结果如图 2.5 所示。



图 2.5

计算值 Av=g_{mn}/〔(λn+λp) I_D〕≈10⁻³/〔(0.05+0.21) ×100×10⁻⁶〕=38.5(即 31.7dB) 仿真值 Av=34.915(即 30.86dB);f3dB=25.3MHz,增益带宽积 34.915×25.3≈883 *思考题 2.2:在前述方案中 Av=34.915 远大于预定值 Av=20,如何调整估算参数的方法和步骤使 Av 接近于目标值,从而以获得更大的带宽?

*如何提高增益带宽积? 重新估算图 2.7 中各管的参数并仿真验证, 摆幅要求≥1.0V, 其它条件不变。



第7页共103页

$$r_{P} \approx 1/\lambda_{p} I_{D} \approx 1/(0.21 \times 100 \times 10^{-6}) = 47.6 K$$

Av≈g_{mn} r_{P1} =10⁻³×47.6×10⁻³=47.6(即 33.5dB)(满足要求)

- 4. 估算各 MOS 管的宽长比: 查表 1.1 可知此时 Knl ≈28.4, Kn2 ≈30.5, Kp ≈12
 - $(W/L)_{MN1} = I_D/(Kn \times V_{onN1}^2) = 100/(28.4 \times 0.2^2) \approx 88 = 176/2$
 - $(W/L)_{MN2} = I_D/(Kn \times V_{onN2}^2) = 100/(30.5 \times 0.5^2) \approx 13 = 26/2$
 - (W/L) $_{MP1}=I_D/(Kp \times V_{onP1}^2) =100/(12 \times 0.6^2) \approx 23 = 46/2$
- 二、仿真验证
- 1. 静态工作点仿真结果如图 2.7 所示。



图 2.7

- 2. 输出电压摆幅及跨导 g_{MN} 仿真结果如图 2.8 所示。从图中可以看出:输出电压摆幅 0.804V~2.378V
- 计算值 g_{mn1}≈ 1.0 mA•V⁻¹

仿真值 gmnMAX=0.903mA•V⁻¹



^{3.} 输出电阻随输出电压的关系如图 2.9 所示。



图 2.9

静态工作点输出电阻的仿真值: Rout=52.9K(估算值=47.6k) MN1 漏集 D 和 MN2 源集 S 节点的输出电阻仿真值为: 2.6K(估算值如何计算?)

CMOS 模拟集成电路 CAD 讲义

4. 增益 Av 与 f3dB 仿真结果如图 2.10 所示。



图 2.10

估算值 Av=47.6(即 33.5dB)

仿真值 Av=47.3 (即 33.5dB); f3dB=84.4MHz, 增益带宽积 47.308×84.4≈3992

(前面方案增益带宽积为: 34.915×25.3≈883)

MN1 漏集 D 和 MN2 源集 S 节点的增益仿真值为 Av=2.396

*思考题 2.4: 由前面的仿真结果可以看出, 在图 2.1 的电路中, 那一个节点是第一主极点?为什么? *思考题 2.5: 解释增益带宽积增大的原因。



重庆邮电大学

$$\sum_{\text{outp}} \sim \frac{V_{\text{onP1}} \lambda_{\text{P1}} \lambda_{\text{P2}} I_{\text{D}}}{V_{\text{onP1}} \lambda_{\text{P2}} I_{\text{D}}} = \frac{V_{\text{onP1}} \lambda_{\text{P1}} \lambda_{\text{P2}} I_{\text{D}}}{V_{\text{onP1}} \lambda_{\text{P1}} \lambda_{\text{P2}} I_{\text{D}}} = 0.7 \times 0.2 \times 0.4 \times 100 \times 10^{-6} = 33772$$

$$Av = g_{\text{mN1}} \left(r_{\text{outn}} // r_{\text{outp}} \right) \approx \frac{2}{(V_{\text{onN2}} \lambda_{\text{N1}} \lambda_{\text{N2}} + V_{\text{onP1}} \lambda_{\text{P1}} \lambda_{\text{P2}}) V_{\text{onN1}}}$$

$$2 = 160$$

 $-\frac{168}{(0.4 \times 0.2 \times 0.04 + 0.7 \times 0.2 \times 0.4) \times 0.2} = 168$

CMOS 模拟集成电路 CAD 讲义

由上面计算可以看出,增益 Av 远不能满足要求,参数需作相应调整,该如何调整教理想呢? 由于 routn>>routp,故增加 NMOS 管的沟道长度或减小 Von_{N2}(即增加 g_{mN2})已不会有明显的作用。 从表 1.2 可知,增加 PMOS 的沟道长度同样不是很理想,从上试及表 1.2 中可以看出,减小 Von_{P1} (即增加 g_{mP1})一方面可以提高 routp,同时因 Von_{P2}减小可以使 V_{DSP2}增加,而 V_{DSP2}的增加可以减 小λp2,这也有利于提高 routp,,故减小 Von_{P1}预计可获得较好效果。取 V_{onP1} ≈0.4(此时 Vb2 相应 变为 3.15),即 V_{DSP2}=0.8,此时查表 1.2 得λp2 ≈0.23,重新验证如下:

$$\begin{split} r_{outn} &\approx \frac{2I_{D}}{V_{onN2}} \frac{1}{\lambda_{N2}I_{D}} \frac{1}{\lambda_{N1}I_{D}} = \frac{2}{V_{onN2}\lambda_{N1}\lambda_{N2}I_{D}} = \frac{2}{0.4 \times 0.2 \times 0.04 \times 100 \times 10^{-6}} = 6250 K \\ r_{outp} &\approx \frac{2I_{D}}{V_{onP1}} \frac{1}{\lambda_{P1}I_{D}} \frac{1}{\lambda_{P2}I_{D}} = \frac{2}{V_{onP1}\lambda_{P1}\lambda_{P2}I_{D}} = \frac{2}{0.4 \times 0.2 \times 0.23 \times 100 \times 10^{-6}} = 1087 K \\ Av &= g_{mN1} \left(r_{outn} // r_{outp} \right) \approx \frac{2}{\left(V_{onN2}\lambda_{N1}\lambda_{N2} + V_{onP1}\lambda_{P1}\lambda_{P2} \right) V_{onN1}} \\ &= \frac{2}{\left(0.4 \times 0.2 \times 0.04 + 0.4 \times 0.2 \times 0.23 \right) \times 0.2} = 463 \end{split}$$

第 11 页 共 103 页

重庆邮电大学

光电工程学院

显然,增益还不能满足要求要求,还应该从那里入手呢,我们知道,要提高增益而较小影响带宽的方法是增加输入管的跨导(即减小输入管的 Von)。取 VonN1=0.1(此时 Vin 相应变为 0.6815),同时再令 VonP1=0.35,重新验证如下:

$$\begin{aligned} r_{outn} &\approx \frac{2I_{D}}{V_{onN2}} \frac{1}{\lambda_{N2}I_{D}} \frac{1}{\lambda_{N1}I_{D}} = \frac{2}{V_{onN2}\lambda_{N1}\lambda_{N2}I_{D}} = \frac{2}{0.4 \times 0.2 \times 0.04 \times 100 \times 10^{-6}} = 6250 K \\ r_{outp} &\approx \frac{2I_{D}}{V_{onP1}} \frac{1}{\lambda_{P1}I_{D}} \frac{1}{\lambda_{P2}I_{D}} = \frac{2}{V_{onP1}\lambda_{P1}\lambda_{P2}I_{D}} = \frac{2}{0.35 \times 0.2 \times 0.23 \times 100 \times 10^{-6}} = 1242 K \\ Av &= g_{nN1} \left(r_{outn} // r_{outp} \right) \approx \frac{2}{(V_{onN2}\lambda_{N1}\lambda_{N2} + V_{onP1}\lambda_{P1}\lambda_{P2}) V_{onN1}} \\ &= \frac{2}{(0.4 \times 0.2 \times 0.04 + 0.35 \times 0.2 \times 0.23) \times 0.1} = 1036 \end{aligned}$$

此时, 增益满足了要求。

4. 估算各 MOS 管的宽长比: 查表 1.1 可知此时 Knl ≈28.4, Kn2 ≈31.0, Kp2 ≈9.7, Kp1 ≈13.5, 于 是可以估算出:

 $(W/L)_{MN1} = I_D / (Kn \times V_{onN1}^2) = 100 / (28.4 \times 0.1^2) \approx 352 = 704/2$ $(W/L)_{MN2} = I_D / (Kn \times V_{onN2}^2) = 100 / (31 \times 0.4^2) \approx 20 = 40/2$ $(W/L)_{MP1} = I_D / (Kp \times V_{onP1}^2) = 100 / (13.5 \times 0.35^2) \approx 60.5 = 121/2$ $(W/L)_{MP2} = I_D / (Kp \times V_{onP2}^2) = 100 / (9.7 \times 0.5^2) \approx 41.5 = 83/2$

二、仿真验证

1. 静态工作点仿真结果如图 3.2 所示。



CMOS 模拟集成电路 CAD 讲义		重庆邮电大学	光电工程学院
(A)	(B)	(C)	(D)

图 3.2

备注: 1.(A)图为估算参数的第一次仿真结果。

2. (B) 图是先调整 MP2 的宽长比使静态工作点处于合适的值(此时不管电流的大小)。

3.(C)图是按比例缩放 MN1、MP2 宽长比:(W/L)MP2=111×100/143 ≈78, (W/L)

 $MN1 = 704 \times 100/143 \approx 492$

4.(D)图是微调 MP1 的宽长比使输出达到要求的静态工作点。
*思考题 3.1:减小了 MN1、MP2 宽长比后是否会影响前面估算的增益值的变化?为什么?
2.小信号输出电阻随输出电压变化而变化的仿真曲线如图 3.3 所示。
估算值为:

$$\mathbf{r}_{out} = \mathbf{r}_{outn} //_{routp} \approx \frac{2}{(\mathbf{V}_{onN2}\lambda_{N1}\lambda_{N2} + \mathbf{V}_{onP1}\lambda_{P1}\lambda_{P2})\mathbf{I}_{D}}$$

$$2$$

 $= \frac{1036K}{(0.4 \times 0.2 \times 0.04 + 0.35 \times 0.2 \times 0.23)(100)} = 1036K$

仿真值为: OUTPUT RESISTANCE AT V(OUT) = 7.693E+05

MN1漏集d与MN2源集s节点的输出电阻仿真值为:OUTPUT RESISTANCE AT V(A) = 7.277E+03



图 3.3

3. 输出电压摆幅及跨导仿真结果如图 3.4 所示。





gm 的估算值为:gm=2I_D/V_{onN1}=2×100×10⁻⁶/0.1=2.0 mA•V⁻¹
gm 的仿真值为:gm≈1.3 mA•V⁻¹
4. 增益及 f3dB 的仿真结果如图 3.5 所示。
Av 的估算值为:Av=1036
Av 的仿真值为:Av=1076 增益带宽积为 1076×3.4=3658.4



第 14 页 共 103 页

已知: VDD=3.5V, I_{ss}=200µA, 信号源内阻 R_s=2K

要求: A_{DM}≥-26dB, 1.2≤V_{inCM}≤2.5, 最大共模输入电压情况下, 输出摆幅≥1V, CMRR≥80dB



图 4.1

*思考题 4.1: 图 4.1 中是加载的差分输入信号,如果加载单端输入信号,而仿真结果要和图 4.1 仿 真出的频率特性一样,该如何加载呢?

一、参数估算

1. 首先根据 V_{inCM} 和摆幅的要求分配各管的过驱动电压 V_{on} 及估算偏置电压 V_B 和 Vout 的静态值(也 即是 VA 的大小)。

 $V_{inCMmin} = V_{GSN1} + V_B - V_{TN3} \approx V_{onN1} + V_B \le 1.2$, 取 $V_{onN1} = 0.2$, $V_B \le 1.0$, 取 $V_B = 0.8$, 即 $V_{onN3} = 0.8 - 9$ -;==0-00 j, ji,j, jj j j j j innj0.5815=0.2185.

 $V_{inCMmax} = V_A + V_{TN1} = VCC - V_{GSP2} + V_{TN1} = VCC - V_{onP2} + V_{TN1} - |V_{TP2}| \ge 2.5$

即 $V_{onP2} \leq 3.5 - 2.5 + 0.5815 - 0.8058 = 0.7757$ (或: $V_A \geq 2.5 - V_{TN1} = 2.5 - 0.5815 = 1.9185$),

因为在最大共模输入电压情况下,输出摆幅≥1V, V_{outmin}=V_{inCMmax}-V_{TN1}==2.5-0.5815=1.9185,

故 V_{outmax}≥1.9185+1=2.9185,由此可得 V_{onP2}≤VCC−V_{outmax}=3.5−2.9185=0.5185,这一值要和前面 根据共模输入范围要求而求得的 V_{onP2} ≤3.5−2.5+0.5815−0.8058=0.7757 求交集,取 V_{onP2}=0.4,于 是估算出输出的静态电压 V_{out}=V_A=3.5−(V_{onP2}+|V_{TP2}|)=3.5−(0.4+0.8058) ≈2.3。

 仿真前还需确定输入的静态共模电平值。一般选取 V_{inCM}=(V_{inCMmin}+V_{inCMmax})/2=1.85,于是 可以估算出 C 点的静态值 V_C=1.85−V_{onN1}−V_{TN1}≈1.85−0.2−0.5815=1.0685。(V_{TN1} 的实际值因衬 偏效应要比 0.5818 大,因此 V_C 的实际值要比 1.0685 小)

2. 验证增益 ADM 和 CMRR 是否满足要求:

若取 L=2u,从上面的估算值可以查表 1.2 得 $\lambda_{N1(2)} \approx 0.05$, $\lambda_{N3} \approx 0.08$, $\lambda_{P1(2)} \approx 0.23$, A_{DM}=2/((λ n+ λ p) V_{onN1}) \approx 2/((0.05+0.23) × 0.2) =35.7 (即 31.0dB)(满足要求)

$$A_{CM} \approx \frac{-2 g_{mN1}}{1 + 2 g_{mN1} r_{oN3}} \frac{1}{2 g_{mP1}} \approx \frac{1}{2 r_{oN3} g_{mP1}} = \frac{\lambda_{N3} V_{onP1}}{4} = \frac{0.08 \times 0.4}{4} = 0.008$$

\$\mathbf{\mathbf{m}}\$ 15 \$\bar{\mathbf{m}}\$ \mathbf{m}\$ 103 \$\bar{\mathbf{m}}\$

CMRR = 20lg (35.7/0.008) = 73dB

显然, 共模抑制比 CMRR 还差一点, 如何提高 CMRR?

取 L_{N3}=4u, 查表 1.2 得λ_{N3}≈ 0.04, 则 A_{CM}=0.004, CMRR=20lg(35.7/0.004)=79dB, 已经 很接近要求了,由于是估算,本身存在一些误差,可以先仿真看看。

4. 估算各 MOS 管的宽长比: 查表 1.1 可知此时 K_{n1(2)}≈30.6, K_{n3}≈30.1, K_{p1(2)}≈11.0

 $(W/L)_{M N1(2)} = I_D / (K_{n1(2)} \times V_{onN1}^2) = 100 / (30.6 \times 0.2^2) \approx 82 = 164/2$

 $(W/L)_{MN3} = 2I_D/(K_{n3} \times V_{onN3}^2) = 200/(30.1 \times 0.2185^2) \approx 140 = 560/4$

 $(W/L)_{MP1} = I_D/(Kp \times V_{onP1}^2) = 100/(11 \times 0.4^2) \approx 57 = 114/2$

二、仿真验证

1. 静态工作点仿真结果如图 4.2 所示。



2. 最大共模输入情况下(VinCMmax = 2.5)输出摆幅的仿真结果如图 4.3 所示。显然,在极限输入共模电压输入情况下,满足输出摆幅≥1V的要求。

3. 增益和 f3dB 仿真结果如图 4.4 所示。

静态小信号差模输出电阻仿真值为: OUTPUT RESISTANCE AT V(OUTDM) = 2.845E+04 仿真值 A_{DM} = 27.383(即 28.75dB)(注意比较前面基本 CS 放大器的增益值,你有何体会?) 估算值 A_{DM} = 35.7(即 31.0dB)



输入电压吗?为什么? 0.173 这个电压是最小输入共模电压吗?为什么?如果不是,又该如何仿真呢?



第 17 页 共 103 页

6. CMRR 仿真验证。仿真电路和 CMRR 随频率和输入共模电压变化而变化的曲线仿真结果分别如 图 4.7、图 4.8 和 4.9 所示。



CMRR 仿真值为 71.879dB(估算值为 79dB),没有达到要求的 CMRR≥80dB 的要求,如何提高 CMRR 呢?根据公式 CMRR=20lg(A_{DM}/A_{CM}),就本电路而言,在 I_{ss}不变的情况下,一般有下面 两种方法:

①增加差模增益 A_{DM}。但在目前情况下,由于 A_{DM} 已满足要求,仅为提高 CMRR 而提高 A_{DM} 没有很大的实际意义。事实上,通过增加 A_{DM} 来提高 CMRR 效果不会很明显,且增加 A_{DM} 必然导致带宽的损失,故我们不选用这种方法。

②减小共模增益 A_{CM}。因为 A_{CM}≈1/(2rossgm</sub>),提高 ross 和 gm 都能提高 CMRR,那么我们又该如何选择呢?提高 gm 同样会损失带宽(为什么?),且效果也不是很明显(因为提高 gm,几乎 A_{DM} 不变),比较好的办法是提高尾电流的小信号输出电阻 ross。那么如何提高 ross 呢?

增加尾电流 MOS 管的 L 可以提高 ross,但从图 4.6 可以看出,由于图 4.2 中 MN3 管的宽长积为

第 18 页 共 103 页

560×4=2240, CMRR 的转折频率较低(图 4.8 的仿真结果为 1.77M), 如果再通过增加 L 的方法来增加 ross, CMRR 的转折频率必然会更低。下面我们用图 4.10 所示低压共源共栅 电流镜来提高 ross, 以获取较高的 CMRR 的转折频率。

- 三、图 4.10 电路参数估算。
- 根据前面步骤一的方法,预取 V_{onN14}= V_{onN12}=0.15,
- 2. 于是可以估算出:
- $V_{\rm H} \approx V_{onN14} + V_{TN14} = 0.15 + 0.5815 = 0.7315$,
- $V_G \approx V_{GS12} + V_J = V_{onN12} + V_{TN12} + V_J$

$$\approx 0.15 + 0.5815 + 0.15 = 0.8815$$
,

 $R_3 \approx (V_G - V_H) /I_3 = 0.15 / (50 \times 10^{-6}) = 3K,$ (W/L) _{N12(N14)}=2 I_D/ (K_n V_{onN12}²)

$$= 2 \times 100/ (28 \times 0.15^2)$$
$$= 126 = 252/2$$

(W/L)_{N11(N13)}= (W/L)_{N12(N14)}/4=32=64/23. 尾电流的小信号输出电阻约为:

$$\mathbf{r}_{\text{OSS}} \approx \mathbf{g}_{\text{mN12}} \mathbf{r}_{\text{O12}} \mathbf{r}_{\text{O14}} = \frac{2\mathbf{I}_{\text{SS}}}{\mathbf{V}_{\text{onN12}}} \frac{1}{\lambda_{\text{N12}} \mathbf{I}_{\text{SS}}} \frac{1}{\lambda_{\text{N14}} \mathbf{I}_{\text{SS}}} \approx \frac{2}{\mathbf{0.15 \times 0.2 \times 0.2 \times 200 \times 10^{-6}}} = 1667 \text{K}$$

(原来的 ross≈1/(0.08×200×10⁻⁶) =62.5K)

4. 此时的 CMRR 为:

$$A_{CM} \approx \frac{1}{2r_{oN3}g_{mP1}} = \frac{V_{0NP1}}{4r_{oN3}I_{D}} \approx \frac{0.4}{4 \times 1.7 \times 10^{6} \times 100 \times 10^{-6}} = 0.00059$$

CMRR==20lg (A_{DM}/A_{CM}) =20lg (27/0.00059) =93dB 四、重新仿真验证。

1. 静态仿真结果如图 4.11 所示。





图 4.11

备注:(A)是估算参数的仿真结果, MN14 在线性区, 这是因为估算时没有考虑余量的原因。

(B)重新调整参数以后的结果(R3 变为 5K)。
2.最大共模输入情况下(V_{inCMmax}=2.5)输出摆幅的 仿真结果如图 4.12 所示。

显然,在极限输入共模电压输入情况下,满足输出摆幅≥1V的要求。

4.0V (28.556m, 3.0613) 2.0V (-22.111m, 1.7477) ov -50mV oV (MP6:d)

图 4.12

3. 增益和 f3dB 仿真结果如图 4.13 所示。



图 4.13

第 20 页 共 103 页

CMRR 随频率的仿真曲线如图 4.14 所示。

仿真值为 84dB(估算值 93dB)

*思考题 4.4: 如何仿真尾电流源的输出电阻? 仿真一下,将结果同估算值比较。

从仿真结果看出 CMRR 比期望值高出较多,可适当改变尾电流的宽长比以获得较大的 CMRR 转折频率。将 MN11、MN12 的宽长比分别变为 32/1 和 126/1 的 CMRR 仿真结果如图 4.15 所示。 ADMMAX 随共模输入电压变化的曲线如图 4.17 所示。



*比较图 4.14、4.15 可见, CMRR 的转折频率从前面的 1.238M 增加到了 3.9448M。

*思考题 4.5: 虽然在低频时图 4.14 的 CMRR 比图 4.16 高,但在较高频率时,图 4.15 中的 CMRR 比同频率的图 4.14 中的 CMRR 要高,这是为什么?给你有什么启示?



第 21 页 共 103 页

*思考题 4.7: 在图 4.18 中显示 V_{inCMMIN}=1.2,为什么在图 4.19 中当 V_{inCM}=1.2 时 CMRR 有明显下降? 如何仿真验证你的结论? 如果要提高 V_{inCM}=1.2 时 CMRR,有那些可行的办法? 对别的参数有何影响? 仿真验证一下你的结论。

五、比较图 4.19 中(A)、(B)、(C) 三个电路的增益和 f3dB,其 AC 分析仿真结果如图 4.20 所示。



图 4.19

*思考题 4.8: 图(B)中 R7、R8 的作用是什么?为何要选较大值?(在实际中由于大电阻制造起 来要占大量的芯片面积,故一般用的较少。)



*思考题 4.9:为什么(B)图的 f3dB 最大?试解释原因。

*思考题 4.10:(B) 图的 CMRR 如何估算? 仿真验证你的结论。



- 已知: VDD= $\pm 5V$, C_L=5pF, 信号源内阻 R_s=2K
- 要求: 1.Av>60dB(即1000倍),

2.共模输入电压范围>±3V,

- 3.最大共模输入电压时,输出摆幅>1V,
- 4.CMRR>80dB
- $5.SR > 5V/\mu S$

思考题 5.1: 试述 I1、MN6、R1 组成电路的功能。

在参数估算之前,我们先回顾例3 中 CS-CG 放大器的设计参数及仿真结 果,重画例3电路如图5.2所示,其相 关设计参数和仿真结果如表 5.1 所示。

表 5.1



VCC

	MN1	MN2	MP1	MP2				
Von	0.1	0.4	0.35	0.5				
V _{DS}	0.38	1.92	2.00	1.70 0.23 78/2				
λn(p)	0.2	0.04	0.2					
W/L	492/2	40/2	112/2					
Io	100uA							
ADM	1076(估算值为1036)							

因为 SR ≈ $I_{SS}/C_L > 5V/\mu S$,故 $I_{SS} > SRC_L = 5V/\mu S \times 5PF = 25\mu A$ 。取 $I_{SS} = 50uA$

vin

由增益公式:
$$Av = g_{mN1} \left(r_{outn} // r_{outp} \right) \approx \frac{2}{\left(V_{onN2} \lambda_{N1} \lambda_{N2} + V_{onP1} \lambda_{P1} \lambda_{P2} \right) V_{onN1}}$$
我们可以看出,

要在例3的基础上保持增益基本不变,可以保持 VonN1、VonN2、VonP1 也基本不变即可。

下面参照表 5.1 中的数据来估算参数。

一、参数估算

1. 首先根据 VinCM 和摆幅的要求分配各管的过驱动电压 Von 及估算偏置电压 VA(也即是 Vout 的静 态值)、VB、VC、VCD和VE。

重庆邮电大学

① $V_{inCMmin} = V_{GSN1} + V_E - V_{TN5} = V_{onN1} + V_E \le -3$, 取 $V_{onN1(2)} = 0.1$ (参考表 5.1), $V_E \le -3.1$, 取 $V_E = -4$, 即 $V_{onN5} = -4 + 5 - 0.5815 = 0.4185$ 。

②根据表 5.1,取 V_{onN3(4)}=0.2,V_{CD}≥V_{GSN3}+V_{onN1}=V_{onN3}+V_{onN1}+V_{TN3}=0.2+0.1+0.5815=0.8815, 取 V_{CD}=1.2(思考题 5.2: V_{CD}取值大小与那些因素有关?),V_{Cmax}=1.2+ V_{Dmax}=1.2+ V_{inCMmax}-V_{GSN1} =1.2+3-0.1-0.5815=3.5185,故最大共模输入电压时,V_{outmin}=V_{Cmax}-V_{TN3}=3.5185-0.5815= 2.937,因为在最大共模输入电压情况下,输出摆幅≥1V,故V_{outmax}≥2.937+1=3.937,由此可得 V_{onP4}+V_{onP2}≤VCC-V_{outmax}=5-3.937=1.063,取V_{onP1(2)}=0.3(参考表 5.1),V_{onP(3)4}≤0.763。

另一方面, V_A=VCC−V_{onP3(4)}−|V_{TP4}|≥ V_{Cmax}−V_{TN3}=3.5185−0.5815=2.937,即: V_{onP(3)4}≤5−0.8058−2.937=1.2572。这一值要和前面根据共模输入范围要求而求得的 V_{onP(3)4}≤0.763 求交集,取 V_{onP(3)4}=0.3,于是估算出输出的静态电压 V_{out}=V_A=5−(V_{onP2}+|V_{TP2}|)=5−(0.3+0.8058) ≈3.9。V_B≥ V_{outmax}−|V_{TP2}|=3.937−0.8058=3.13,取 V_B=3.3 (V_{onP5}=5-3.3-0.8058=0.9),故: V_{dMP3}=V_B+V_{GSP1(2)}=3.3+0.3+0.8015=4.4。即 V_{DSMP1}=4.4−3.9=0.5。V_{DSMP3}=5−4.4=0.6。

③仿真前还需确定输入的静态共模电平值。一般选取 V_{inCM}=(V_{inCMmin}+V_{inCMmax})/2=0,于是 可以估算出 D 点的静态值 V_D=0−V_{onN1}−V_{TN1}≈0−0.1−0.5815=−0.6815。V_C=V_{CD}+V_D=1.2− 0.6815=0.5185。同理可以估算出下列各点的静态值:

 $V_{dMN1} = V_C - V_{GSN3} = V_{CD} + V_D - V_{onN3} - V_{TN3} = 1.2 - 0.6815 - 0.2 - 0.5815 = -0.263 \text{ s} \quad \text{Pr} \quad V_{DSMN1} = 0.4185; \quad V_{DSMN3(4)} = V_A - V_{dMN1} = 3.9 - (-0.263) = 4.163$

2. 验证增益 ADM 和 CMRR 是否满足要求:

若取L=2u,从上面的估算值可以查表 1.2 得λ_{N1(2)} ≈ 0.08, λ_{N3 (4)}≈ 0.04, λ_{N5} ≈ 0.025 (L=4u), λ_{P1(2)} ≈ λ_{P3(4)} ≈0.23,

重庆邮电大学

取 R1=6K, 则 $V_{onN6} = V_{CD} - 6 \times 10^3 \times 50 \times 10^{-6} - V_{TN} = 1.2 - 0.3 - 0.5815 = 0.3185$ (W/L) _{MN6}=I_D/(K_{n6}×V_{onN6}²) =50/(30.1×0.3185²) ≈16.5=33/2

二、仿真验证

1. 静态工作点的预估参数仿真结果如图 5.3 (A) 所示。(B) 图是将尾电流管 MN5 的宽长比由 76/4 变为 68/4 以使工作电流达到要求。



表 5.1 图 5.3 (B) 中各点的静态电压与预估值的比较

第 25 页 共 103 页

图 5.3

CMOS 模拟集成电路 CAD 讲义

重庆邮电大学

光电工程学院

	VA	V_{B}	V _{CD}	Vc	VD	VE
仿真值	3.881	3.225	1.198	0.5375	-0.6611	-3.985
估算值	3.9	3.3	1.2	0.5185	-0.6815	-4

从表 5.1 我们可以发现,静态工作电压的仿真值和预估值非常接近(实际上这一点从前面几个例子也可以看出来),也就是说我们采用的根据不同 VDS 按不同 Kn (p) 来估算宽长比的确提高了精度。

2. 频率特性的仿真结果如图 5.4 所示。



从图 5.4 中我们可以看出, A_{DM}=59.4dB (936 倍), 比预期的低一点, 同时可以看出单位增益带宽 GB=12M, 相位余度 PM=180-101=79°。

为了提高增益,将 MP1(2)、MN1(2)的宽长 比分别变为 80/2、200/2,其新的静态工作点仿真结 果如图 5.5 所示。频率仿真结果如图 5.6 所示。

从图 5.6 中我们可以看出, A_{DM}=60.1dB(1016 倍), 刚好达到预期要求, 同时可以看出单位增益带 宽 GB=12.5M, 相位余度 PM=180-103=77°。

这里增益我们就算达到了设计要求(实际中还 应考虑 2dB 左右的余量),下面验证别的性能指标是 否到达要求。











从图 5.7 可以看出 CMR 为-3.098~3.875, CMRR>100dB。转折频率为 201.7K。 4. 最大共模输入电压下(VinCM=3V)的输出摆幅仿真结果如图 5.9 所示。

显然满足大于 1V 的要求。 思考题 5.3:本电路可以接成跟随器形式吗?如何验证呢?



图 5.9

4. 跟随器连接时的仿真结果如图 5.10 所示。





思考题 5.4: 从图 5.10 可以看出那些性能指标? CMR 与图 5.7 所示有何差别?

输入峰值电压为 4V,频率为 1KHz 时跟随器的仿真波形及误差如图 5.11 所示。



输入电压为最小(-4V)时误差最大?

思考题 5.6: 如果没有自举偏置结构电路,该结构还能接成跟随器结构吗? Vc 电压的大小如何影响输出?

图 5.12 是 VC 分别取固定偏置电压 0.5494V 和 3.541V 情况下的跟随器结构的 DC SWFEP 扫描结果, 自己分析一下结果。 图 5.12

5. SR 仿真验证结果如图 5.13 所示。



图 5.13

SR+=(0.78+2.30)/(4.15-4.11)=77 V/uS

SR-=(2.09+1.25)/(2.5369-2.1678)=9.04 V/uS (估算值为 10 V/uS) 思考题 5.7:分析 SR+原大于 SR-的原因。

三、验证几个问题

1. 单位增益带宽 GB 和最大功率带宽:

跟随器连接时当输入峰值电压为 3V,频率为 1MHz 时跟随器的仿真波形如图 5.14 所示。





思考题 5.8:从前面的仿真可以看出,单位增益带宽 GB 约为 12.5M,但在图 5.14 中,输入信号频 率仅有 1M,远小于单位增益带宽,为什么输出与输入的误差这样大?

2. 共模反馈问题:

思考题 5.9: 图 5.15 (A)、(B)两个电路中哪个需要共模反馈才能正常工作?如何仿真验证?

第 29 页 共 103 页



图 5.15

图 5.15(A)、(B) 电路静态工作点随共模输入电压的变化曲线如图 5.13 所示,你能看出什么结论?



图 5.13

3. 镜像极点问题: 图 5.15 (A)、(B) 那个电路具有更宽的带宽 (更少的极点)? 如何仿真验证?





思考题 5.10: 图 5.14 中的增益为何只有 54.16dB?而图 5.15 中是 60.14dB? 思考题 5.11: 根据图 5.14 和图 5.15 能否看出图 5.12 (A)、(B) 那个电路更少的极点?如果能,你 是如何看出来的?如果不能,请说明理由。

例 6: 基本无缓冲两级运放设计

基础知识回顾:图 6.1 是一基本两级运放的电路图,其相关设计参数如图上所示。



图 6.1

关于图 6.1 中设计参数的一个补充说明:

- 1. 节点 A 为第一主极点 P1, P1≈-1/[g_{m6}(r₀₂//r₀₄)(r₀₆//r₀₇)Cc]
- 2. 输出节点 out 为第二主极点 P2, P2 ≈-g_{m6}/ C_L
- 3. 零点 Z1 由 Cc 产生, Z1 ≈ g_{m6}/ Cc

4. 单位增益带宽 GB ≈ gm2/ Cc(思考题 6.1: 该式如何得来的? 试推导之。)

5. 节点 B 还会产生一个极点 P_B和一个零点 Z_B, P_B≈ g_{m3}/ C_B, Z_B≈-2g_{m3}/ C_B, 要保证图 6.1 中的 设计公式成立,必须保证 P_B、Z_B不是第一主极点和零点,及 P_B>10GB(此式肯定成立),Z_B>10GB。
 6. 没有考虑输入节点引起的极点。即 RS=0。

思考题 6.2: 已知运放有两个极点和一个 RHP 零点,设零点大于 10GB,证明:为使相位余度 PM 大于 60°,第二极点至少高于 2.2GB。

图 6.1 中的设计公式就是基于思考题 6.2 的结论而来: 由零点大于 10GB,得 g_{m6}/ Cc>10 (g_{m2}/ Cc) ⇒ g_{m6}>10g_{m2} 由第二极点至少高于 2.2GB,得 g_{m6}/ C_L>2.2 (g_{m2}/ Cc) ⇒ Cc>0.22 C_L。 CMOS 模拟集成电路 CAD 讲义

重庆邮电大学

例:设计图 6.2 基本无缓冲两级运放,满足下述指标要求:

A_{DM}>60dB(即1000倍),

电源电压±2.5V,

GB>5M,

CL=10PF,

SR>10V/uS,

输出电压范围±2V,

输入共模电压范围(ICMR) – 1 ~ 2V, Pdiss<2mW。

CMRR>70dB

*备注:由于我们所用的模型参数 Tox 较大,且λ_P较小。

基本两级运放的增益同单级 CS-CG 运放(套筒式)

差不多,故这里 ADM 也与套筒式)运放差不多。

*这就是前面的简单 CS 放大器和基本差分对的组合,只要给各级分配好增益,设计方法同前一样,只是在估算 VonN1(2)和 VonP3 时,要注意满足 gm6 >10gm2 的要求。

一、参数估算

1. 先分配各级的增益。

思考题 6.3: 分配各级增益时应考虑什么原则? 哪级增益应大一些? 为什么?

设 A_{D1} >35dB (即 A_{D1} >56), A_{D2} >25dB (即 A_{D2} >20)。

2. 确定 Cc 的大小。

因为 Cc >0.22 CL, 取 Cc=3PF。

3. 确定各级的工作电流。

因为 I_{DN3} = SR×Cc>10×10⁶×3×10⁻¹²=30×10⁻⁶A=30uA,取 I_{DN3} =50uA。

如果没有 SR 要求,代之的是建立时间 Ts,则可按下式估算尾电流 IDN3:

 $I_{DN3} = 10 \left(\frac{vcc+|vss|}{2Ts} \right)$,如果既告诉了 SR 也告诉了 Ts, I_{DN3} 取上面两式的最大者。

由 Pdiss<2mW⇒I_{total}<2/5=400uA⇒ I_{DP3}<350uA。I_{DP3} 具体选多少值要在第一级参数确定下来之后才能确定,因为要满足 g_{mP3} >10g_{m1(2)}的要求。

4. 确定第一级的输出摆幅及其静态工作点

第一级的输出摆幅为: 4/A_{D2}=4/20=0.2V,因为V_{Amin}>V_{outmax}-|V_{TP}|=2-0.8058=1.1942,故 静态工作点V_A>1.1942+0.2=1.3942,另一方面,V_A>V_{inCMmax}-V_{TN}=2-0.5815=1.4185,取V_A= 1.45,即:V_{onP1(2)}=V_{onP3}=2.5-1.45-0.8058=0.2442。取V_{onN1(2)}=0.2。

 $V_{inCMmin} > V_{onN1(2)} + V_C \Rightarrow V_C <-1 - 0.2 = -1.2, V_{onN3(4)} < V_C - V_{SS} - V_{TN} < 2.5 - 1.2 - 0.5815 = 0.7185,$ 另一方面, $V_{onN3(4)} < V_{outmin} - V_{SS} = -2 + 2.5 = 0.5$ 。取 $V_{onN3(4)} = 0.3$ (即: $V_C = V_{SS} + V_{onN3(4)} + V_{TN} = 0.5$)



第 33 页 共 103 页

-2.5+0.3+0.5815 = -1.6185)

5. 验证第一级的增益和 CMRR 是否达到要求

静态时, $V_{inCM} = (V_{inCMmin} + V_{inCMmax})/2 = 0.5$,可以估算出 $V_{DSP1(2)} = Vcc - V_A = 2.5 - 1.45 = 1.05$, $V_{DSN1(2)} = V_A - V_B = V_A - (V_{inCM} - V_{onN1(2)} - V_{TN}) = 1.45 - 0.5 + 0.2 + 0.5815 = 1.73$, $V_{DSN3} = V_B + |V_{SS}| = 2.5 + (V_{inCM} - V_{onN1(2)} - V_{TN}) = 2.5 + 0.5 - 0.2 - 0.5815 = 2.2185$ 。

假定所有管均取 L=2u, 查表 1.1 得 K_{N1(2)}≈31, K_{N3}≈31.5, K_{P1(2)}≈12。查表 1.2 得λ_{N1(2)}≈0.035, λ_{N3}≈0.03, λ_{P1(2)}≈0.22。于是可以估算出:

A_{D1}=g_{mn}/〔(λ_{N1(2)}+λ_{P1(2)}) I_D〕≈2/〔(λ_{N1(2)}+λ_{P1(2)}) V_{onN1(2)}〕=2/[〔0.035+0.22〕0.2]=39.2。没有满足 预定的 56 倍要求。

取L_{P1(2)}=4u, 查表 1.2 得λ_{P1(2)} ≈0.16。

A_{D1}=g_{mn}/〔($\lambda_{N1(2)}$ + $\lambda_{P1(2)}$) I_D〕≈2/〔($\lambda_{N1(2)}$ + $\lambda_{P1(2)}$) V_{onN1(2}〕=2/[〔0.035+0.16〕0.2]=51.3。离预定的 56 倍要求还差一点。根据前面的经验,一般增益放真结果比估算值略小。故还需进一步调整。取 V_{onN1(2)}=0.15。

A_{D1}=g_{mn}/〔(λ_{N1(2)}+λ_{P1(2)}) I_D〕≈2/〔(λ_{N1(2)}+λ_{P1(2)}) V_{onN1(2)}〕=2/[〔0.035+0.16〕0.15]=68.4。满足预 定的 56 倍要求。

$$A_{CM} \approx \frac{-2 g_{mN1}}{1 + 2 g_{mN1} r_{oN3}} \frac{1}{2 g_{mP1}} \approx \frac{1}{2 r_{oN3} g_{mP1}} = \frac{\lambda_{N3} V_{onP1}}{4} = \frac{0.03 \times 0.2442}{4} = 0.00183$$

CMRR=20lg(68.4/0.00183)≈91dB(满足>70dB 的要求)

思考题 6.4: 前面算出第一级的 CMRR 是该运放的 CMRR 吗? 为什么?

6. 估算第一级的宽长比

 $(W/L)_{MN1(2)} = I_D / (K_{n1(2)} \times V_{onN1}^2) = 25 / (31 \times 0.15^2) \approx 36 = 72/2$

 $(W/L)_{MN3} = 2I_D/(K_{n3} \times V_{onN3}^2) = 50/(31.5 \times 0.3^2) \approx 17.5 = 35/2$

 $(W/L)_{MP1} = I_D/(Kp \times V_{onP1}^2) = 25/(12 \times 0.2442^2) \approx 35 = 140/4$

7. 验证节点 A'产生的极点和零点大于 10GB。这一步需先估算该节点的寄生电容才能验证,一般来 讲可以保证成立。这里不做估算。

8. 下面估算第二级参数: 先确定第二级的静态工作电流。

g_{mP3} >10g_{m1(2)}⇒ I_{DP3} >10× I_{DN1(2)} ×V_{onP3}/V_{onN1(2)} =10×25×0.2442/0.15=407uA,这一结果要和前 面求出的 I_{DP3}<350uA(功耗要求)求交集,显然这里交集为空。

思考题 6.5: 这里由 gmP3 >10gm1(2)求出的 IDP3 超出了功耗的要求,这里如何理解什么是速度和功耗之间的折中关系?既要保证带宽,又要保证增益,该如何调整前面的方案呢?

从前面的公式 gmP3 >10gm1(2)中我们发现,要减小 IDP3,必须增加 VonN1(2),但这反过来又会减小 第一级的增益,虽然可以减小 VonP3 来增加第二级的增益,但第二级的电流较大,且 KP 较小,这会 使(W×L) MP3 很大,这不是一个较好的选择。

我们增加 VonN1(2),但也增加第一级的输出电阻。我们知道,用 L P1(2)=2u 的共源共栅结构比直接取 L P1(2)=4u 的输出电阻更大,所以我们将图 6.2 改变成图 6.3。

第 34 页 共 103 页



同样在图 6.3 中, 第一级的输出摆幅为: 4/AD2=4/20=0.2V, 因为 VAmin>Voutmax-|VTP|=2-0.8058 =1.1942,故静态工作点V_A>1.1942+0.2=1.3942,另一方面,V_A>V_{inCMmax}-V_{TN}=2-0.5815=1.4185, $V_{onP1(2)} < VCC - V_A - |V_{TP}| = 2.5 - 1.4185 - 08058 = 0.2757$, $W_{onP1(2)} = V_{onP3} = 0.2$ ($W_A = 2.5 - 0.2 - 0.2 - 0.2 = 0.2$) 0.8058=1.4942),因为V_{onP1(2)}+V_{onP4(5)}<VCC-V_A=2.5-1.4942≈1.0,故V_{onP4(5)}<1.0-0.2=0.8,取 $V_{onP4(5)} = 0.4$,因为 $V_D < VCC - V_{onP1(2)} - V_{onP4(5)} - |V_{TP}| = 2.5 - 0.2 - 0.4 - 0.8058 = 1.0942$,同时 V_D>V_A-|V_{TP}|=1.4942--0.8058=0.6842。综上所述,取V_D=0.8(即V_{onP6}=VCC-V_D-|V_{TP}|=2.5 -0.8-0.8058=0.89)。依然取 V_{onN1(2)}=0.2。

 $V_{inCMmin} > V_{onN1(2)} + V_C \Rightarrow V_C < 1 - 0.2 = -1.2, V_{onN3(4)} < V_C - V_{SS} - V_{TN} < 2.5 - 1.2 - 0.5815 = 0.7185,$ 另一方面, $V_{onN3(4)} < V_{outmin} - V_{SS} = -2+2.5 = 0.5$ 。取 $V_{onN3(4)} = 0.3$ (即: $V_C = V_{SS} + V_{onN3(4)} + V_{TN} =$ -2.5+0.2+0.5815 = -1.6185)

9. 验证第一级的增益和 CMRR 是否达到要求

静态时, V_{inCM}=(V_{inCMmin} + V_{inCMmax})/2=0.5,可以估算出 V_{DSP1(2)} ≈0.4, V_{DSP4(5)} ≈0.5, V_{DSN1(2)} $=V_A - V_B = V_A - (V_{inCM} - V_{onN1(2)} - V_{TN}) = 1.45 - 0.5 + 0.2 + 0.5815 = 1.73$, $V_{DSN3} = V_B + |V_{SS}| = 2.5 + 0.5815 = 1.73$, $V_{DSN3} = V_B + |V_{SS}| = 2.5 + 0.5815 = 1.73$, $V_{DSN3} = V_B + |V_{SS}| = 2.5 + 0.5815 = 1.73$, $V_{DSN3} = V_B + |V_{SS}| = 2.5 + 0.5815 = 1.73$, $V_{DSN3} = V_B + |V_{SS}| = 2.5 + 0.5815 = 1.73$, $V_{DSN3} = V_B + |V_{SS}| = 2.5 + 0.5815 = 1.73$, $V_{DSN3} = V_B + |V_{SS}| = 2.5 + 0.5815 = 1.73$, $V_{DSN3} = V_B + |V_{SS}| = 2.5 + 0.5815 = 1.73$, $V_{DSN3} = V_B + |V_{SS}| = 2.5 + 0.5815 = 1.73$, $V_{DSN3} = V_B + |V_{SS}| = 2.5 + 0.5815 = 1.73$, $V_{DSN3} = V_B + |V_{SS}| = 2.5 + 0.5815 = 1.73$, $V_{DSN3} = V_B + |V_{SS}| = 2.5 + 0.5815 = 1.73$, $V_{DSN3} = V_B + |V_{SS}| = 2.5 + 0.5815 = 1.73$, $V_{DSN3} = V_B + |V_{SS}| = 2.5 + 0.5815 = 1.73$, $V_{DSN3} = V_B + 0.5815 = 1.73$, $V_{DSN3} = V_B + 0.5815 = 1.73$, $V_{DSN3} = V_B + 0.5815 = 0.$ $(V_{inCM} - V_{onN1(2)} - V_{TN}) = 2.5 + 0.5 - 0.2 - 0.5815 = 2.2185$

假定所有管均取 L=2u, 查表 1.1 得 K_{N1(2)}≈31, K_{N3}≈31.5, K_{N4}≈32, K_{P1(2)} ≈K_{P4(5)} ≈10.0。K_{P3} ≈ 13.0, K_{P6}≈11.5。查表 1.2 得λ_{N1(2)}≈0.04, λ_{N3}≈0.04, λ_{P1(2)}≈λ_{P4(5)}≈0.33。λ_{P3}≈0.2。于是可以估算出:

CMOS 模拟集成电路 CAD 排义
 重庆邮电大学
 光电工程学院

$$r_{merb} \approx \frac{2\Gamma_b}{V_{met}(5)} \frac{1}{\lambda_{pr(2)}} \frac{1}{\lambda_{pr(2)}} \frac{1}{\mu_{p}} = \frac{2}{V_{wat(5)}} \frac{2}{\lambda_{pr(2)}} \frac{1}{\lambda_{pr(2)}} \frac{1}{\mu_{p}} = \frac{2}{V_{wat(5)}} \frac{2}{\lambda_{pr(2)}} \frac{1}{\mu_{p}} = \frac{2}{0.4 \times 0.33 \times 0.33 \times 25 \times 10^{-6}} = 1836 K'$$
 $r_{uxtR} \approx \frac{1}{\lambda_{nr(2)}\Gamma_b} = \frac{1}{0.04 \times 25 \times 10^{-6}} \approx 1000 K'$
 $r_{uxtR} \approx \frac{1}{\lambda_{nr(2)}(\Gamma_{b}} = \frac{2}{0.04 \times 25 \times 10^{-6}} \approx 1000 K'$
 $r_{uxtR} \approx \frac{1}{\lambda_{nr(2)}(\Gamma_{uxtP} / / r_{uxtN})} = \frac{2}{(V_{uaP4(5)}\lambda_{P4(2)}\lambda_{P4(2)}) \Gamma_{p}} = \frac{2}{(0.4 \times 0.33 \times 0.33 \times 25 \times 0.04) \times 25 \times 10^{-6}} = 647 K'$
 $\Lambda_{0} \approx g_{wV(12)}(r_{uxtP} / / r_{uxtN}) = \frac{1}{(V_{uaP4(5)}\lambda_{P4(2)}\lambda_{P4(2)}) \Gamma_{vxtO(2)}} = 161$
 $uxtRt$ in fors from g_{w} indicate J_{v} indicate

A_{D1}=g_{mp3}/〔(λ_{N3}+λ_{P3}) I_{DP3}) ≈2/〔(λ_{N3}+λ_{P3}) V_{onP3}〕=2/[〔0.04+0.2〕0.2]=41。满足预定的26倍要求。

9. 估算第二级的宽长比

 $(W/L)_{MN4} = I_D / (K_{n1(2)} \times V_{onN4}^2) = 150 / (32 \times 0.3^2) \approx 52 = 104/2$

(W/L) $_{MP3}{=}I_{D}/$ (Kp ${\times}V_{onP3}{}^{2})$ =150/ (13 ${\times}0.2{}^{2})$ ≈288.5=577/2

第 36 页 共 103 页
- 二、仿真验证
- 1. 静态仿真结果如图 6.3 所示。





3. 波特图和 CMRR 的频率特性仿真结果分别如图 6.4 所示。



从图 6.4 中看出 A_D=60.3dB, GB=6.8M, 将 Cc 变为 2.5P 的放真结果如图 6.5 所示,图中显示 GB=5.7M, PM=59.8°

下面验证其它性能指标。

输出电压摆幅放真结果如图 6.6 所示,为-2.1~2.05,满足要求。





图 6.7

CMRR 和 ICMR 的放真结果如图 6.9 所示,从图中看出 CMRR 的最大值为 80.7dB。如果按照 CMRR>70dB 作为衡量 ICMR 的标准的话, ICMR 为-1.16~2.07V,达到-1~2V 的要求。





SR的仿真结果如图 6.8 所示。从图中可算出: SR+=(0.772+1.231)/(4.134-4.027)=18.7V/uS SR-=(1.324+0.798)/(2.282-2.034)=8.5V/uS

问题 6.6:为什么 SR+同估算的 50/3=16.7 V/uS 接近?而 SR-同估算的 50/3=16.7 V/uS 相差较大? 分析在什么条件下 SR+和 SR-都近似同估算值 50/3=16.7 V/uS。仿真验证你的结论。

三、问题探讨

1. 跟随器连接时,输出电压误差与静态工作点的设置有何关系?下面我们看几个仿真结果。



图 6.9 (静态工作点如图 6.3 (B) 所示, Vin=0.5+1.5sin6280t)

思考题 6.7: 根据前面的各项仿真结果,解释为什么在输入近似为 2V 时绝对误差最大(约为 6.1mV)? 为什么在输入近似为 0.109V 时绝对误差最小(约为 0.096mV)? 仿真验证你的结论。



图 6.10(静态工作点如图 6.3(B)所示, Vin=0.5+1.3sin6280t)

思考题 6.8: 比较分析图 6.9 和图 6.10 后,如果输入信号依然为 Vin = 0.5+1.3sin6280t, 欲将绝对误 差尽可能减小,输出静态工作点该如何调整? 仿真验证你的结论。



思考题 6.9:观察图 6.11 和图 6.12,为什么正负输出误差的绝对值近似相等时,输出静态电压不是近似在 500mV?提高 CMRR 能减小跟随误差吗?为什么?



图 6.13 VDB(OUTDM)随共模输入电压变化而变化的仿真结果

思考题 6.10: ADM 为什么随 VinCM 增加而减小?

假定 CMRR=∞:

Vin =0.760V时, A_{DM}=61.4dB(即1174倍), ΔV=(0.754+0.759)/1174=1.288mV Vin =1.80V时, A_{DM}=55.9dB(即625.5倍), ΔV=(1.8-0.754)/625.5=1.672mV 思考题 6.11:图 6.14 是该运放没有加补偿电容时的波特图,你能观察出该运放有哪几个主要的零点 或极点吗?试试看。



2. 图 6.5 显示 GB=5.7M, PM=59.8°, 还可以获得更宽的 GB 吗?





我们知道,图 6.15 中的补偿方法由于产生的是**左半平面的零点**,故可以获得更宽的带宽。我们 来比较一下两种不同补偿方法的区别。下面对图 6.15 电路作一简单回顾:

1) 节点 A 为第一主极点 P1, P1≈-1/[g_{mP3}(r_{0N2}//[g_{mP4}r_{0P4}r_{0P2}])(r₀₆//r₀₇)Cc]

2) 输出节点 out 为第二主极点 P2, P2≈-g_{mP3}/ C_L

3) 零点 Z1 由 Cc 产生, Z1 ≈-g_{mN6} / Cc (简单密勒补偿为右半平面零点: g_{mP3}/ Cc)

为了获得最大带宽,我们希望 Z1=P2,即 g_{mN6} / Cc=g_{mP3}/C_L,由此可得:g_{mN6}=g_{mP3} Cc / C_L。 依然取 Cc=3P,从图 6.3 (B)中可得,VonP3=0.2122,故: I_{N6}/V_{onN6}= (I_{P3}/V_{onP3}) Cc / C_L= (150×10⁻⁶/0.2122) ×3/10=212×10⁻⁶,

重庆邮电大学

若取 V_{onN6}=0.15,则 I_{N6}=212×10⁻⁶×0.15≈32uA,由此可估算出: (W/L)_{MN6}=I_D/(K_{n6}×V_{onN6}²)=32/(32×0.15²)≈44.5=89/2 (W/L)_{MN7}=(I_{DN7}/I_{DN5})(W/L)_{N5}=(32/50)×17.5≈11=22/2 静态仿真结果和波特图分别如图 6.16 和图 6.17 所示。



思考题 6.12: 比较图 6.5 (Cc=2.5P) 和图 6.17, 他们的主要差异是什么? 这说明了什么问题? 为什 么 GB 几乎没有变化?



图 6.19 表明在 PM=61°, GB 近似增加了一倍。

第 42 页 共 103 页

重庆邮电大学

思考题 6.13: 在图 6.18 中,如果只考虑稳定性,当 PM=60°时,还需要 $g_{mP3}>10g_{mN2}$, Cc >0.22 C_L 的要求吗? 如果有,请说明原因;如果没有, g_{mP3} 、Cc 又该如何选择? 它们与运放的那些参数有关?

图 6.18 的瞬态仿真结果如图 6.20 所示,从图中可以得出: SR+= (0.549+0.769) / (4.0549-4.0144) = 32.5V/uS

SR=(0.858+0.541) / (2.113-2.017) = 14.6V/uS



图 6.20 (输入为±1V方波)





图 6.21 (输入为±1V 方波时有关电压的瞬态波形)

从图 6.21 中可以看出, SR-由 I_{DN4} 决定(MP3 完全截至), 因此: SR-=I_{DN4}/CL=150/10=15V/uS, 这与仿真结果吻合得很好。

从图 6.21 中可以看出,SR+期间,IDN2≈ IDN3≈51uA 几乎保持不变。如果不考虑 MN7 的沟道调

制效应,则 V_{outDM}-V_D≈常数,节点 out1 和节点 D 的 SR 近似相等。忽略 out1 节点的寄生电容, Cc 的放电电流约为 I_{DN2},由此得到:

SR_{outDM}≈ SR_D ≈ I_{DN3}/Cc=50/1.3×10⁻⁶=38.5V/uS。实际仿真结果约为 32.5V/uS。比估算值略微要小。这是因为 Cc=1.3P 比 out1 节点的寄生电容并不是大得多, Cc 的实际放电电流比 I_{DN2} 略小。 思考题 6.15:如果希望 SR-也近似同 SR+≈ I_{DN3}/Cc,应该满足什么条件?仿真验证你的结论。 思考题 6.16:分析图 6.22 电路的转换特性。



图 6.22

四、问题探索:在保持增益 ADM 和 PM 不变的情况下,还可以获得更宽的 GB 吗?



图 6.23 采用一个共栅级的补偿方法

在图 6.23 所示的运放补偿结构中,我们可以求得:

 $ω_{P1} \approx -\frac{1}{g_{m1}R_LR_SC_C}$, 该式与简单密勒补偿结构相同。式中 RL 为输出级的小信号输出电阻。

$$\omega_{P2} \approx -\frac{g_{m2}R_{S}g_{m1}}{C_{L}}$$
,在简单密勒补偿中 ω_{P2} =- g_{m1}/C_{L} ,这里增加了 $g_{m2}R_{S}$ 倍。

$$ω_{Z1} \approx -\frac{g_{m2}}{C_c}$$
, 同跟随器补偿形式一样。

从前面的公式中可以看出,第二主极点比简单密勒补偿和随器补偿中的第二主极点提高了 gm2Rs倍。我们知道,第一主极点和第二主极点相隔约远,运放的 GB 就越宽。因此我们可以想像这 种补偿方式可以获得更宽的带宽。

这种补偿技术可以用于图 6.24 所示的双端输出运放的补偿中。我们可以求得:

$$\omega_{P1} \approx -\frac{1}{g_{m10}R_{L}R_{eq}C_{C}}, \text{ Req} \approx g_{m6}r_{o6}r_{o8} // g_{m4}r_{o4}r_{o2}, R_{L} \approx r_{o10} // r_{o12}.$$

$$\omega_{P2} \approx -\frac{g_{m4}R_{eq}g_{m10}}{C_{L}}$$

$$\omega_{Z1} \approx \frac{g_{m4}R_{eq}g_{m10}}{C_{C}}$$

请注意图 6.23 和图 6.24 中零点的差异。一个是在左半平面,一个在右半平面。



图 6.24 双端输出运放中的共栅补偿技术

共栅补偿技术也可用于单端输出运放的补偿中,如图 6.25 所示。但它和双端运放还是有较大的

第 45 页 共 103 页



图 6.25 单端输出运放的共栅补偿技术

思考题 6.17: 比较图 6.19 和图 6.26。在图 6.19 中, f3dB=10.9K, PM=62°, GB=10.2M; 而在图 6.19 中, f_{3dB}=10.7K, PM=62°, GB=15.3M。试分析为何它们的 f_{3dB}、PM 一样, GB 却有如此大的差异? 思考题 6.18: 比较图 6.25 和图 6.27 的波特图,比较其零、极点的差异。



Cc 用跟随器接到节点 E 的共栅补偿电路 图 6.27

第46页共103页



图 6.28 图 6.27 电路的波特图

下面分析一下图 6.24 电路的转换特性,其瞬态仿真结果如图 6.29 所示。从图中可以算出: SR-=(1.2835+0.853)/(1.1899-1.0240)=12.9V/uS SR+=(1.0311+0.852)/(2.0643-2.0078)=44.6V/uS

思考题 6.19:参照前面的分析方法,解释 SR+和 SR-不同的原因。它们各自由那些管的性能参数决



 $C_L = 10 PF$,

CMRR>70dB

输出电压范围±2V,

要求: A_{DM}>100dB(即10⁵倍),

GB>5M,

 $SR\!\!>\!\!10V\!/uS$,

 $Pdiss{<}2mW\,_{\circ}$

输入共模电压范围(ICMR)-2~1.5V。

一、电路结构的选用

在通常的两级运放中,第一级一般用 CS-CG 放大器以获得高增益,第二级用 CS 放大器在获得 大摆幅的同时,由于其较少的极点,运放的稳定性容易得到保证。但就目前我们所用的模型参数而 言,要达到 100dB 的增益,第二级必须用 CS-CG 放大器才行。然而,如果第一级用单端输出的 CS-CG 放大器,由于其极点数较多,运放的稳定性能得到保证吗?例6的共栅补偿给了我们一个很好的启 示,下面我们来分析图 7.1 电路的零、极点关系,希望能推出有关帮助设计的指导公式。



图 7.1 单级输出套筒式运放

虽然第一级用单端输出的运放同第一级用对称输出的运放不同,但我们依然认为 out1 节点贡献 的极点为:

第 48 页 共 103 页

假定 GB 内幅频特性为单极点响应,则有

$$GB = A_{DM} \omega_{P3DB} \approx \frac{g_{mN1}g_{mP5}r_{out2}r_{out1}}{g_{mP5}r_{out2}r_{out1}C_{c}} = \frac{g_{mN1}}{C_{c}}$$

根据以往估算的经验, out2 节点的输出电阻近似为将补偿电容 Cc 看成为短路时的输出电阻,

$$\begin{split} r_{out2F} \approx & \frac{r_{out2}}{1 + g_{mN4}(g_{mP2}r_{oP4}r_{oP2}//r_{oN4})g_{mP5}r_{out2}} \approx \frac{1}{g_{mN4}(g_{mP2}r_{oP4}r_{oP2}//r_{oN4})g_{mP5}}, \text{ b:}\\ \omega_{Pout2} \approx & -\frac{g_{mN4}(g_{mP2}r_{oP4}r_{oP2}//r_{oN4})g_{mP5}}{C_{I}} \end{split}$$

从电压一电流反馈的情况看,节点 A 提供的的输出电阻由于要减小(1+环路增益)倍,但由于 密勒效应,其节点电容也要增加(1+环路增益)倍,故可认为:

$$\omega_{\mathrm{PA}} \approx -\frac{\mathrm{g}_{\mathrm{mN4}}}{\mathrm{C}_{\mathrm{C}}}$$

求零点的简化等效电路如图 7.1 右图所示,由图可得:

$$\begin{split} i_{1} \approx \frac{g_{mN4}}{g_{mN4} + SC} \dot{i}_{in} \\ i_{2} \approx \frac{SC}{g_{mN4} + SC} \dot{i}_{in} \\ i_{3} \approx g_{mP5} (1 + \frac{g_{mN4}}{g_{mN4} + SC}) \dot{i}_{in} \\ \frac{g_{mN4}}{g_{mN4} + SC_{c}} \dot{i}_{in} + \frac{SC_{c}}{g_{mN4} + SC_{c}} \dot{i}_{in} = g_{mP5} r_{out1} (1 + \frac{g_{mN4}}{g_{mN4} + SC_{c}}) \dot{i}_{in} \Rightarrow \\ SC_{c} (1 - g_{mP5} r_{out1}) = g_{mN4} (2g_{mP5} r_{out1} - 1) \Rightarrow \\ S = -\frac{2g_{mN4}}{C_{c}} \end{split}$$

请注意,这与图 6.4 双端输出运放有本质区别,在图 6.4 中,这个零点是右半平面的,而这里 是左半平面的。将上面的估算结果汇总,如表 7.1 所示。

第一主极点ωPout1	第二主极点ωPA	第三主极点ωPout2	零点ωz	GB
$-\frac{1}{g_{\mathtt{mP5}}r_{\mathtt{out2}}r_{\mathtt{out1}}c_{\mathtt{C}}}$	$-\frac{g_{mN4}}{C_c}$	$-\frac{{{g_{{\text{mN4}}}}({g_{{\text{mP2}}}}{r_{{\text{oP4}}}}{r_{{\text{oP4}}}}/{{r_{{\text{oN4}}}}}){g_{{\text{mP5}}}}}{{C_{\text{L}}}}$	$-rac{2\mathrm{g}_{\mathrm{mN4}}}{C_{C}}$	$\frac{g_{mN1}}{C_{c}}$

表 7.1 图 7.1 电路的主要零极点及 GB 的估算表达式

从上式中我们可以看出几个重要结论:

1. 输出节点 out2 不再是第二主极点,取而代之的是节点 A 贡献的主极点 ω_A 。由于输出节点 out2

第49页共103页

重庆邮电大学

变为第三主极点,因此 CL 对稳定性的影响要小一些。因为: $\frac{\omega_{Pout2}}{\omega_{PA}} \approx \frac{g_{mN4}(g_{mP2}r_{oP4}r_{oP2}//r_{oN4})g_{mP5}C_{C}}{g_{mN4}C_{L}} \approx (10 \sim 30) \frac{(0.2C_{L})}{C_{L}} \approx (2 \sim 6),$

如果ωPout2/ωPA<10, ωPout2 对相位的贡献还是有一些影响,但如果补偿电容按图 7.2 连接,由于输出节点的电压负反馈增强,极点分裂更明显,ωPout2 会进一步增加,此时 CL 对稳定性的影响要小的多。也就是说,如果负载电容 CL 变化较大,图 7.2 接法对稳定性会更好一些。

请注意,可以证明,图 7.2 电路的反馈接法导致两个零点(具体表达式求起来比较烦琐),其中 一个是 RHP 零点,一个是 LHP 零点,且 LHP 零点大于 RHP 零点。同时,节点 A 此时因 Cc2 的接 入,其贡献的极点将减小,因此这种接法会导致 GB 比图 7.1 结构稍小,但稳定性(PM)对 CL 更 不敏感(这一特性可以仿真验证)。



图 7.2 减小 CL 对稳定性影响的补偿电容接法

2. 零点近似为第二主极点的2倍(也就是说零点不可能同第二主极点对消)。

问题 7.1: 假定 CL 保持不变,零点可以同输出极点ωPout2 对消吗?如果可以应满足什么条件?在实际中可能会遇到什么问题?

假定ωPout2>10ωPA,则运放的波特图就由第一、第二主极点和零点决定。由于不论 Cc 的大小如何,ωz≈2ωPA,这说明只要满足ωPout2>10ωPA的条件,PM 的大小与 Cc 的大小近似无关(这一特性可以仿真验证)。

在上面求零、极点的估算中,在 GB 范围内,我们使用的依然是低频时的增益,这会给估算带 来很大的误差,但仿真结果表明,ω_{PA}和ω_Z的确相隔很近(ω_Z比略小ω_{PA}),只是大约相差一个数量 级。

3. 从表 7.1 可以看出,为了提高单位增益带宽 GB,应提高 g_{mN1}/Cc,由于 Cc 一般由 CL 的大小确 定,因此要提高 GB 就只能提高 g_{mN1},因为 g_{mN1}≈2I_D/V_{onN1},V_{onN1} 不能取得过小(否则 MOS 会进入 缓变区),因此要提高 GB 就只能提高第一级的静态工作电流。请注意,由于要保证ω_{PA}>GB (幅频 特性单极点响应要求),此时 MN4 的宽长比很大。

如果要提高增益,也要提高 g_{mN1},在第一级电流一般不大的情况下,要保证ω_{PA}>GB,此时 MN4 的宽长比也需要很大(有时往往不切合实际)。

4. 从另一个角度来看,为了提高 GB,极点 OPout2 应尽可能大(同时这样还可以减小 CL 对稳定性的

影响)。因为 $\omega_{\text{Pout2}} \approx -\frac{g_{\text{mN4}}(g_{\text{mP2}}r_{\text{oP4}}r_{\text{oP4}}/r_{\text{oN4}})g_{\text{mP5}}}{C_{\text{L}}}$,如果第一级用 PMOS 管做输入对管,则第

二级必然是 NMOS 管输入,则ωPout2 应更大一些,同时,GB≈gmP1/Cc,要保证ωPA>GB,此时 MN4 的宽长比要小很多。

从增益角度来看,由于第一级电流一般不大,用较小的 PMOS 输入对管宽长比就可以获得同 NMOS 输入对管时的跨导 gm,同时 MN4 的宽长比也可以控制在合理的值,因此利用第二级的 NMOS 输入可以获得更高的增益 A_{DM} 和更宽的 GB (这一点也可以仿真验证)。

综上所述,我们采用图 7.3 所示电路来设计高增益运放。



5. 由于第一级是单端输出,运放总的 CMRR 决定于第一级的 CMRR,用 PMOS 管作为第一级的输入对管时,

$$CMRR = 20\log \frac{A_{DM1}}{A_{CM1}} = 20\log \frac{g_{mP1}r_{out1}}{\frac{1}{r_{op7}} \bullet \frac{1}{2g_{mN1}}} = 20\log(2g_{mP1}g_{mN1}r_{out1}r_{op7})$$
$$= 20\log(\frac{4}{\lambda_{P7}(V_{onN3}(4)\lambda_{N3}(4)\lambda_{N1}(2) + V_{onP3}(4)\lambda_{P3}(3)\lambda_{P1}(2)}V_{onN1}V_{onP1})....(7.1)$$

上式中 rout1 为第一级的小信号输出电阻。对于我们目前使用的模型参数而言,相同电流、相同沟道长度情况下 rop 比 ron 大约小 10 倍,故用 PMOS 输入对管的 CMRR 大致在 80dB 左右。 二、图 7.3 电路设计公式的推导

1. 如果我们希望在 GB 内幅频特性近似为单极点响应,则可取ω_{PA}≥3GB,即 g_{mN4}≥3 g_{mP1},由此可推出:

$$\left(\frac{W}{L}\right)_{MN4} \ge 9\left(\frac{\mu_{P}}{\mu_{N}}\right)\left(\frac{W}{L}\right)_{MP1}....(7.2)$$

我们目前使用的模型μ_{N≈}3μ_P,故可取: (W/L)_{MN4}≥3(W/L)_{MP1}。此时的相位余度 PM 近似为:

 $PM \approx 90 - \arctan(1/3) + \arctan(1/6) \approx 80^{\circ}$

2. 为保证输出极点 out2 对波特图近似无关,要求ωPout2>10ωPA,由此可推出:

$$\frac{g_{mN4}(g_{mP4}r_{oP4}r_{oP2}//r_{oN4})g_{mN5}}{C_{L}} > 10\frac{g_{mN4}}{C_{C}} \Longrightarrow$$

$$C_{\rm C} \ge \frac{10C_{\rm L}}{(g_{\rm mP4}r_{\rm oP4}r_{\rm oP4}r_{\rm oP4})g_{\rm mN5}} \approx (0.1 \sim 0.3)C_{\rm L} \dots (7.3)$$

3. 运放转换分析

在图 7.3 中,容易分析:

值得注意的是,在负向转换期间,由于μ_P<μ_N,PMOS 管的沟道调制效应较 NMOS 管大的多, 实际上此时 I_{DMP7}远大于静态值,故由 7.4 式估算出的值会比仿真值偏小。

同样,在正向转换期间,IDMP7也远大于静态值,在CL较大情况下:

同样因为 PMOS 管的沟道调制效应较 NMOS 管大的多,为了增大 CMRR, MN1(2)的宽长比应 取较大值。

 $C_L = 10 PF$,

电源电压±3V,

CMRR>70dB

输出电压范围±2V,

试设计图 7.4 电路,满足下述要求: 要求: A_{DM}>100dB(即 10⁵倍),

GB>5M,

SR > 10V/uS,

 $Pdiss{<}2mW\,_{\circ}$

输入共模电压范围(ICMR)-2~1.5V。



一、参数估算

1. 根据 CL 确定 Cc 及各级的静态工作电流。

因为Cc≈(0.1~0.3)CL,取Cc=2P;

故 I_{DMP7}=SR×Cc=10×2=20uA(根据前面的分析,实际 SR-比该估算值要大,因此这里 I_{DMP7}不给余量)。

 $I_{DMP5} > SR \times CL = 10 \times 10 = 100 uA$, $\Pi I_{DMP5} = 150 uA$.

验证功耗要求: Pdiss=(20+150)×6=1.02mW, 满足小于 2mW 的要求。

2. 分配各级增益

设 A_{D1}>60dB(即 A_{D1}>1000), A_{D2}>50dB(即 A_{D2}>300)。这里给出了 10dB 的估算余量,是因为从前面的结果看,估算的增益均比实际仿真值小些的缘故。

4. 确定第二级的偏值电压 Vb4 和 Vb5

重庆邮电大学

Vb5<Voutmin+ V_{TN6} =-2+0.58=-1.42, \mathbb{R} Vb5=-1.7; Vb4>Voutmax $-|V_{TP6}|=2-0.8058=1.19$, \mathbb{R} Vb4 = 1.3; 5. 估算第二级参数 取 V_{onN5}=0.3, V_{onN6}=0.3, V_{onN5}=0.35, V_{onN6}=0.35, 由此可以估算出: Vb4 = 3 - 0.35 - 0.8058 = 1.844, $VdMP5 \approx Vb4 + V_{onP6} + |V_{TP6}| = 1.3 + 0.35 + 0.81 = 2.46$ (VdsMP5 ≈ 0.5 ; VdsMP6 ≈ 2.5), Vout1=0.3+0.58-3=-2.12, 所以 VonN1(2)=3-2.12-0.58=0.3 VdMN5 \approx Vb5 - V_{onN6}3 - V_{TN6} = -1.7 - 0.3 - 0.58 = -2.58 (VdsMN5 \approx 0.4; VdsMN6 \approx 2.4), 若取 L=2u, 查表得: λ_{N5}≈0.15, λ_{N6}≈0.04, λ_{P5}≈0.3, λ_{P6}≈0.2, 于是可以估算出: $\frac{1}{(V_{onN6}\lambda_{N5}\lambda_{N6} + V_{onP6}\lambda_{P5}\lambda_{P6})V_{onN5}} = \frac{1}{(0.3 \times 0.15 \times 0.04 + 0.35 \times 0.2 \times 0.3) \times 0.3}$ -=292 $A_{DM2} \approx -$ 基本满足要求。由于前面给出了较大余量,这里参数不再作调整。 6. 估算第二级各管宽长比 查表 1.1, Kn5≈28.4, Kn6≈31, Kn5≈9.7, Kn6≈12.8, $(W/L)_{MN5} = I_D/(Kn \times V_{onN1}^2) = 150/(28.4 \times 0.3^2) \approx 59 = 118/2$ $(W/L)_{MN6} = I_D / (Kn \times V_{onN2}^2) = 150 / (31 \times 0.3^2) \approx 54 = 108/2$ $(W/L)_{MP5} = I_D / (Kp \times V_{onP1}^2) = 150 / (12.8 \times 0.35^2) \approx 96 = 192/2$ $(W/L)_{MP6} = I_D / (Kp \times V_{onP2}^2) = 150 / (9.7 \times 0.35^2) \approx 126 = 252/2$ 7. 估算第一级参数 ① 确定 Vb1 的大小 Vb1>VinCMmax+VonP1(2), 取 VonP1(2)=0.3 (随之 VonN3(4)=0.1), 故: Vb1>1.5+0.3=1.8, 取 Vb1=2V, 即 VonP7=1-0.8058=0.1942。 ② 确定 Vb2 的大小 MP1(2) 饱和要求: Vb2<VinCMmin-VonP3(4), MP3(4) 饱和要求: Vb2>Vout1-|VTP3(4)|, 即: Vout1-|V_{TP3(4)}|<Vb2<VinCMmin-VonP3(4),取VonP3(4)=0.1,得: -2.12-0.8058<Vb2<-2-0.1,即 -2.9258 < Vb2 < -2.1, $\mathbb{R} Vb2 = -2.5$, ③ 确定 Vb3 的大小 MN3(4) 饱和要求: Vb3<Vout1+V_{TN3(4)}=-2.12+0.58=-1.54, MN1(2) 饱和要求: Vb3−VonN3(4)− $V_{TN3(4)}$ >Vout1− $V_{TN1(2)}$, 即 Vb3 >Vout1+VonN3(4) = -2.12+0.1=-2.02, 取 Vb3= -1.78,

④ 验证增益是否满足要求

取共模电压-0.25V,可得 V_{DSP7} =3-(-0.25+0.3+0.8058)=2.14, $V_{DSP1(2)}$ =(-0.25+0.3+0.8058) -(-2.5+0.1+0.8058)=2.45, $V_{DSP3(4)}$ =(-2.5+0.1+0.8058)-(-2.12)=0.5258, $V_{DSN1(2)}$ =3+(-1.78-0.1-0.58)=0.54, $V_{DSN3(4)}$ =-2.12-(-1.78-0.1-0.58)=0.34。

如果均取L=2u, 查表 1.1 可得: λn1 ≈λn3 ≈0.09, λp1 ≈0.2, λp2≈0.24, λp7≈0.2,

第 54 页 共 103 页

$$\begin{split} A_{\rm DM} &= \frac{2}{(V_{\rm onN3\,(4)}\lambda_{\rm N3\,(4)}\lambda_{\rm N1\,(2)} + V_{\rm onP3\,(4)}\lambda_{\rm P3\,(3)}\lambda_{\rm P1\,(2)})V_{onP1}} \\ &= \frac{2}{(0.1 \times 0.09 \times 0.09 + 0.1 \times 0.2 \times 0.24) \times 0.3} \\ &= 1188 \\ & \text{满足预定要求}. \end{split}$$

⑤ 验证 CMRR 满足要求

$$CMRR = 20 \log(\frac{4}{\lambda_{P7}(V_{onN3}(4)\lambda_{N3}(4)\lambda_{N1}(2) + V_{onP3}(4)\lambda_{P3}(3)\lambda_{P1}(2)}V_{onN1}V_{onP1}))$$

= 20 log($\frac{4}{0.2(0.1 \times 0.09 \times 0.09 + 0.1 \times 0.2 \times 0.24) \times 0.3 \times 0.3}$)

= 92 dB

满足预定要求。

⑥ 估算第一级各管宽长比

查表 1.1, Kn1≈29, Kn3≈29, KP1≈12.8, KP3≈10.5, KP7≈12.8,

- $(W/L)_{MN1(2)} = I_D / (Kn \times V_{onN1}^2) = 10 / (29 \times 0.3^2) \approx 12.5 = 25/2$
- $(W/L)_{MN3(4)} = I_D/(Kn \times V_{onN2}^2) = 10/(29 \times 0.1^2) \approx 34.5 = 69/2$
- $(W/L)_{MP1(2)} = I_D/(Kp \times V_{onP1}^2) = 10/(12.8 \times 0.3^2) \approx 9 = 18/2$
- (W/L) $_{MP3(4)}=I_D/(Kp\times V_{onP2}^2) =10/(10.5\times 0.1^2) \approx 95=190/2$
- $(W/L)_{MP7} = I_D/(Kp \times V_{onP2}^2) = 20/(12.8 \times 0.1942^2) \approx 41.5 = 83/2$
- 二、仿真验证
- 1. 静态工作点仿真如图 7.5 所示



图 7.5





第 57 页 共 103 页



图 7.14 补偿电容的另一种接入方式



图 7.16 在图 7.14 基础上减小(W/L) MP13(14)为 90/1



图 7.18 在图 7.14 基础上减小(W/L) MP13(14)为 50/0.5



图 7.20 NMOS 输入对管的单端运放



图 7.21 图 7.20 中增加(W/L) MN1(2)提高增益后的 NMOS 输入对管的单端运放



第 62 页 共 103 页

例 8: 高增益、高 CMRR 无缓冲运放设计

在前面例 7 的电路中,单一双端变换在第一级,电路的 CMRR 就决定于第一级的 CMRR。如 果需要获得更高的 CMRR,可以在第二级进行单一双端变换,这样可以获得更高的 CMRR。如图 8.1 所示。

思考题 8.1:分析图 8.1 的共模反馈原理,指出其反馈类型,并推导(A)图的 CMRR 的表达式。





一、CMRR 分析

在求图 8.1 的 CMRR 以前,我们先回顾反馈的相关知识。反馈的种类及对输入、输出电阻和反馈闭环增益 A_F 的关系如表 8.1 所示:

负反馈类型	对输入电阻的影响	对输出电阻的影响	对增益的影响	
电压—电压负反馈	↑(1+环路增益)倍	↓(1+环路增益)倍		
电压—电流负反馈	↓(1+环路增益)倍	↑(1+环路增益)倍		
电流—电压负反馈	↑(1+环路增益)倍	↓(1+环路增益)倍	↓(1+小哈垍血)后	
电流—电流负反馈	↓(1+环路增益)倍	↑(1+环路增益)倍		

表 8.1

从表 8.1 中可以看出,负反馈对所有量的影响都是增加或减小(1+环路增益)倍。具体是增加

第 63 页 共 103 页

还是减小可以采用如下<u>助记法</u>:

负反馈的一个显著特征是:取样什么量就具有稳定什么量的性质。取样电压输出就具有稳压源 的特征,故输出电阻比没有反馈前的输出电阻减小(1+环路增益)倍,反之,取样电流输出就具有 恒流源的特征,故输出电阻比没有反馈前的输出电阻增加(1+环路增益)倍。请注意,这里说的反 馈前的输出电阻是指考虑了反馈环的负载效应后的输出电阻。



图 8.2 反馈信号的接入特征

从图 8.2 可以看出,可以根据接入的反馈信号和输入信号是否是同一节点方便的判断出是什么性质的反馈。反馈信号以电压形式接入,带来的直接结果是减小了输入电流,故输入阻抗增加(1+环路增益)倍(R=Vin/Iin);反馈信号以电流形式接入,带来的直接结果是减小增加了输入电流,故输入阻抗增加减小(1+环路增益)倍。同前面所述一样,这里说的反馈前的输入电阻是指考虑了反馈环的负载效应后的输入电阻。

如何考虑负反馈环路的负载效应呢?也有一个简单的助记法:

- ① 先找出反馈环路,弄清信号流向,明确那里是输入端和输出端;
- ②考虑反馈环路的输入负载效应时,从反馈环路的输入端断开,如果反馈环路的输入端取样的是 电压,因取样电压输出端的输出电阻是减小(1+环路增益)倍,理想情况下输出电阻为零,因 此考虑反馈环路的输入负载效应时,该端接地;如果反馈环路的输入端取样的是电流,因取样 电流输出端的输出电阻是增加(1+环路增益)倍,理想情况下输出电阻为无穷大,因此考虑反 馈环路的输入负载效应时,该端开路。具体见图 8.3~图 8.6。
- ③ 同理,在考虑反馈环路的输出负载效应时,从反馈环路的输出端断开,如果反馈环路的输出端 是以电压形式接入输入端,因输入端的输入电阻是增加(1+环路增益)倍,理想情况下输入电 阻为无穷大,因此考虑反馈环路的输出负载效应时,该端开路;如果反馈环路的输出端是以电 第 64 页共 103 页

м,

R_{D2}

流形式接入输入端,因输入端的输入电阻是减小(1+环路增益)倍,理想情况下输入电阻为零,因此考虑反馈环路的输出负载效应时,该端接地。具体见图 8.3~图 8.6。





图 8.3 电压—电压负反馈的负载效应







 \mathbf{R}_{i}

图 8.4 电压—电流负反馈的负载效应



图 8.5 电流—电压负反馈的负载效应



图 8.6 电流—电流负反馈的负载效应

如何求环路增益?原则上在反馈环上的任意一点断开环路,顺着信号通路在断开点加入输入信号:信号如果在断开点是电压,则输入加电压信号,由于环路增益无量刚,因此输出也一定是电压信号,此时输出与输入电压之比就是环路增益;反之,信号如果在断开点是电流,则输入加电流信号,由于环路增益无量刚,因此输出也一定是电流信号,此时输出与输入电流之比就是环路增益。

需要注意的是,如果断环点正好处于反馈环,则需考虑反馈环的负载效应,当然,一个看来不错的方法是:避开在反馈环处断环,在反馈环外选择一个信号明确的断环点。

下面以求图 8.1 中的共模增益 A_{CMFout2} 为例,我们采用不同的断环等效电路来求环路增益,以帮助大家掌握求反馈环的环路增益的方法。



图 8.7 求共模反馈环路增益的几种不同等效电路

在图 8.7 (1) 中, 容易求得:

$$\begin{split} i_{1} &= -g_{mp5+6}v_{in} \\ i_{5} &\approx i_{2} = \frac{g_{mN10}}{g_{mN10} + g_{mN11}} i_{1} = -\frac{g_{mN10}g_{mp5+6}v_{in}}{g_{mN10} + g_{mN11}}, \text{ if} i_{2.5}, \text{ MN11 T} fraction in the extension of the extension$$

$$i_{4} \approx i_{2} = \frac{g_{mN10}}{g_{mN10} + g_{mN11}} i_{in}$$

$$v_{out1} = r_{out1} i_{4} = \frac{g_{mN10} r_{out1}}{g_{mN10} + g_{mN11}} i_{in}$$

$$i_{out} = -g_{mP5+6} v_{out1} = -\frac{g_{mP5+6} g_{mN10} r_{out1}}{g_{mN10} + g_{mN11}} i_{in}$$

$$A_{CM} F = \frac{i_{out}}{i_{in}} = -\frac{g_{mN10} g_{mP5+6} r_{out1}}{g_{mN10} + g_{mN11}}$$

显然,由图 8.7(4)求得的环路增益 AF 也与 8.1 式完全一样。

下面我们来求闭环增益 A_F。前面已求出了环路增益 A_{CM}F,我们现在只需求出开环时的 A_{CM} 就行了。在图 8.7(4)中,断开输入电流源 i_{in},在 MN₁₊₂的栅集 A4 加上输入信号 Vin,则 Vout2 即是考虑了反馈环负载效应的 A_{CM}。容易求出:

$$\begin{split} v_{out1} &= -\frac{r_{out} v_{in}}{r_{oA9} / \left[\left(1 + \frac{g_{mN10}}{g_{mN11}} \right) r_{oA00} \right]} \\ v_{out2} &= -g_{mP5+6} v_{oud} \left(\frac{1}{g_{mN7+8}} + \frac{1}{g_{mN10} + g_{mN11}} \right) = \frac{g_{mP5+6} r_{oud1} \left(\frac{1}{g_{mN7+8}} + \frac{1}{g_{mN10} + g_{mN11}} \right) v_{in}}{r_{oA9} / \left[\left(1 + \frac{g_{mN10}}{g_{mN11}} \right) r_{oM0} \right]} \\ \mathcal{A}_{CMou2} &= \frac{v_{out2}}{v_{in}} = \frac{g_{mP5+6} r_{oud1} \left(\frac{1}{g_{mN7+8}} + \frac{1}{g_{mN10} + g_{mN11}} \right)}{r_{oA9} / \left[\left(1 + \frac{g_{mN10}}{g_{mN1+8}} \right) r_{oM0} \right]} \\ \mathcal{A}_{CMou2} &= \frac{q_{out2}}{v_{in}} = \frac{g_{mP5+6} r_{oud1} \left(\frac{1}{g_{mN7+8}} + \frac{1}{g_{mN10} + g_{mN11}} \right)}{r_{oA9} / \left[\left(1 + \frac{g_{mN10}}{g_{mN11}} \right) r_{oM0} \right]} \\ \mathcal{A}_{CMFou2} &= \frac{\mathcal{A}_{CMou2}}{1 + \left| \mathcal{A}_{CM} r_{i} \right|} = \frac{\frac{g_{mP5+6} r_{oud1} \left(\frac{1}{g_{mN7+8}} + \frac{1}{g_{mN10} + g_{mN11}} \right)}{1 + \frac{g_{mN10} g_{mN11} + g_{mN10}}{g_{mN10} + g_{mN11}}} \\ \approx \frac{1 + \frac{g_{mN10} + g_{mN11}}{g_{mN10} + g_{mN11}}}{g_{mN10} + g_{mN11}} \\ \approx \frac{1 + \frac{g_{mN10} + g_{mN11}}{g_{mN10} + g_{mN11}} r_{oM0}}{g_{mN11}} r_{oM0}} \end{bmatrix}$$

当然,由于环路增益 A_{CM}F>>1,也可以由 A_F≈1/F 来出闭环共模增益 A_F。在求闭环中任意节点的 A_F 时,需注意如下原则:

- ① 利用 A_{FX}=A_X/(1+AF)求环路中任意节点 X 的闭环增益 A_{FX}时, A_X 为在考虑了反馈环负载效应的 实际输入信号节点到所求节点 X 的开环小信号增益。
- ② 利用 A_{Fx}≈1/F_x 求环路中任意节点 X 的闭环增益 A_{Fx} 时, F_x 为开环时在考虑了反馈环负载效应后 反馈点的电压(流)与所求节点 X 的电压(流)之比。

在图 8.7(4)中,断开输入电流源 i_{in},在 MP₅₊₆的栅集加上输入信号 Vin,则 F_{out2}=V_{B4}/V_{out2}, A_{CMFout2}≈1/F_{out2}=V_{out2}/V_{B4}。容易求出:

$$\begin{aligned} v_{out2} &= -g_{mP5+6} v_{in} \left(\frac{1}{g_{mN7+8}} + \frac{1}{g_{mN10} + g_{mN11}} \right) \\ v_{B4} &= -\frac{g_{mN10} g_{mP5+6} v_{in}}{g_{mN10} + g_{mN11}} r_{C4} = -\frac{g_{mN10} g_{mP5+6} v_{in}}{g_{mN10} + g_{mN11}} \left\{ r_{oN9} / / \left[\left(1 + \frac{g_{mN10}}{g_{mN11}} \right) r_{oN10} \right] \right\} \\ A_{CMFout2} \approx \frac{1}{F} = \frac{v_{out2}}{v_{B4}} = \frac{1 + \frac{g_{mN10} + g_{mN11}}{g_{mN7+8}}}{g_{mN10} \left\{ r_{oN9} / / \left[\left(1 + \frac{g_{mN10}}{g_{mN11}} \right) r_{oN10} \right] \right\} \end{aligned}$$

显而易见,上式同 8.2 式完全一样。

思考题 8.2:如何求图 8.7 中 out1 节点的闭环增益 A_{Fout1}?试用两种方法求之。 思考题 8.3:作为练习,试求图 8.8 电路的 A_{CMFout},比较与图 8.7 电路的差异。



图 8.8

从式 8.2 可以看出,要使 A_{CMFout2} 尽可能小,g_{mN10} 应尽可能大。其意义是显然的:若 g_{mN10}>> g_{mN11}, 由 MP5+6 取样到的共模信号变化而产生的电流几乎完全流过 MN10,因 1/g_{mN1+2}<<ro>sron9,流过 MN10 电流几乎完全留过 MN1+2,也就是说所有共模电流完全反馈回了输入端,MN11 没有浪费共模电流,

第 70 页 共 103 页

自然 ACMFout2 在其它参数不变情况下最小。

为简化公式,我们假定 g_{mN10}>10 g_{mN11},即:

$$\frac{2I_{DMN10}}{V_{onMN10}} > 10 \frac{2I_{DMN11}}{V_{onMN11}} = 10 \frac{2(I_{DMN10} + 2I_{DMP5(6)})}{V_{onMN11}}, \text{ bx}.$$

$$V_{onMN11} > \frac{10(I_{DMN10} + 2I_{DMP5(6)})V_{onMN10}}{I_{DMN10}} = 10\left(1 + \frac{2I_{DMP5(6)}}{I_{DMN10}}\right)V_{onMN10} \dots (8.3)$$

式 8.3 即是确定图 8.7 中 Vb7 的设计公式。在满足式 8.3 的基础上,式 8.2 可简化为:

$$A_{CMFout2} \approx \frac{\frac{1}{g_{mN10}} + \frac{1}{g_{mN7+8}}}{\left\{ r_{oN9} / / \left[\left(1 + \frac{g_{mN10}}{g_{mN11}} \right) r_{oN10} \right] \right\}} \approx \frac{\frac{1}{g_{mN10}} + \frac{1}{2g_{mN7(8)}}}{r_{oN9}} \dots (8.4)$$

细心的读者可能从式 8.4 中已经发现,如果图 8.1 中去掉 MN9,则式 8.4 变为:

$$A_{CMFout2} \approx \frac{\frac{1}{g_{mN10}} + \frac{1}{2g_{mN7(8)}}}{\left(1 + \frac{g_{mN10}}{g_{mN11}}\right)r_{oN10}}....(8.5)$$

显然式 8.5 比式 8.4 表现出了更低的共模增益 A_{CM},也就是更高的 CMRR。当第一级差分对的静态工作流不大的情况下,这的确是一个不错的选择。但是在第一级差分对的静态工作流较大的情况下,去掉 MN9 会使第一级的静态工作电流完全流过,加之图 8.1 中 V_{onMN10}< V_{onMN9},这会使(W/L) _{MN10} 变得很大,这会显著恶化高频时的 CMRR。

因为差模增益 ADM 为: $A_{DMout2} \approx g_{mN1(2)} r_{out} g_{mP5(6} r_{out2}$,由此可求出 CMRRD 为:

在图 8.7 中,如果第一级是单端输出,即没有 MN10、MN11, MP1(2)的栅级直接接到图中的 A 点,则此时的 CMRRs 为:

第 71 页 共 103 页

$$CMRR_{D} - CMRR_{S} \approx 20 \log \frac{g_{mP5(6)}r_{out2}}{\frac{2g_{mP1(2)}}{g_{mN10}} + \frac{g_{mP1(2)}}{g_{mN7(8)}}} \approx 20 \log \left(g_{mP5(6)}r_{out2}\right) \dots (8.7)$$

从式 8.7 中我们可以看出,对于图 8.1 电路结构,第一级用双端输出运放的 CMRR 比第一级用单端输出运放的 CMRR 近似大一个第二级的差模增益 A_{DM2}。这样双端输出运放的 CMRR 比其 A_{DM}大约大 10dB~30dB(尾电流是 NMOS 管时取较大值。图 8.8 电路结构的 CMRR 比图 8.1 电路结构的 CMRR 稍小)。如果在第二级再用带尾电流的差分对,则双端输出运放的 CMRR 比其 A_{DM}大约大 40dB(思考题 8.4:解释这是如何估算出来的?)。当然,这会牺牲一些输出摆幅。 二、零、极点分析

本电路的零、极点分析有点困难,这是因为在差模输入情况下,这种电路结构对第一级而言也存在反馈,这导致 A、B 两节点有不同的等效小信号输出电阻。不过通过粗略估算,大致可以得出用以指导设计的关系式,虽然这些关系式不是很准确,但依然对电路的仿真具有很好的指导作用。 思考题 8.5:对差模信号而言,A、B 两节点的小信号增益是相同的吗?

思考题 8.5 第一眼看起来仿佛是理所当然的,其实不然,这是因为图 8.9 中节点 F 对小信号来 说并不是虚地的。下面我们来求 ADMAF 和 ADMBF。



第 72 页 共 103 页
$$A_{DMBF} = \sqrt{\frac{K_{n}(W/L)_{MN1(2)}I_{DMN1(2)}}{4K_{p}(W/L)_{MP5(6)}I_{DMP5(6)}}} + \frac{\lambda_{N8}g_{MN1(2)}g_{MP5(6)}r_{outA(B)}r_{out}V_{OP5(6)}}{4g_{MN6}r_{oN6}} \dots (8.8.8)$$

$$\pm \chi \oplus K_{n(p)} = \frac{\mu_{n(p)}C_{ox}}{2}$$

通常 K_n/K_p≈2~3, I_{DMN1(2)}/K DMP5(6)≈2~5, (W/L)DMP5(6)/(W/L)DMN1(2)≈2~5; 在我们目前采用的模 型中, g_{mMN1(2)}g_{mMP5(6)} r_{outA(B)} r_{out}≈10⁵~10⁶, g_{mMN6} r_{oN6}≈10~30, λ_{N6} ≈0.05, V_{oP5(6)}≈0.2~0.5, 式 8.8.8 的第一项大约为 0.2~2, 第二项大约为 8~150, 由此可以估算出 ADMB 大约为 18dB~45dB。

下面我们来求第一级差模反馈的环路增益 GloopB,为了简单起见,我们忽略式 8.8.8 中的第一项。 则:

$$1 + G_{loopB} = \frac{A_{DMB}}{A_{DMBF}} \approx \frac{2g_{MN6} r_{oN6}}{\lambda_{N8} g_{MP5(6)} r_{out} V_{oP5(6)}}$$
$$r'_{outB} = \frac{r_{outB}}{1 + G_{loopB}} = \frac{\lambda_{N8} g_{MP5(6)} r_{out} V_{oP5(6)} r_{outB}}{2g_{MN6} r_{oN6}}$$
(8.8.9)

如果按前面估算式 8.8.8 的数据,我们大致可以估算出 1+GloopB 约为 5~15。这就是说,节点 B 的小信号阻抗因负反馈的原因下降了 5~15 倍,显然这有利于放大器的稳定。

那么,对于节点 A 又如何呢?因为:

2

$$\begin{aligned}
\nu_{A} - \nu_{B} &= -g_{mNI(2)} (\nu_{I} - \nu_{2}) r_{outA(B)} = -g_{mNI(2)} r_{outA(B)} \nu_{in} \\
A_{DMAF} &= -\left(1 - \frac{\lambda_{N8} g_{MP5(6)} r_{out} V_{oP5(6)}}{4g_{MN6} r_{oN6}}\right) g_{MNI(2)} r_{outA(B)} \\
1 + G_{loopA} &= \frac{A_{DMA}}{A_{DMAF}} \approx \frac{1}{2\left(1 - \frac{\lambda_{N8} g_{MP5(6)} r_{out} V_{oP5(6)}}{4g_{MN6} r_{oN6}}\right)} \dots \tag{8.8.10}
\end{aligned}$$

从式 8.8.10 可以看出, 1+GloopA <1, 这是因为差模反馈对节点 A 表现为正反馈的缘故, 这导致 节点 A 的小信号阻抗因正反馈的原因增加了(最大增加倍数为2倍),也就是说第二级对第一级的 差模反馈等效于在第一级实现了部分的单——双端转换,可以证明:作为一种极限情况,假定 r_{oN6}→∞ (即 MN6 完全屏蔽输出节点的电压变化), 第二级对第一级的差模反馈在第一级完全实现单——双端 转换,即:

$$A_{DMBF} = \frac{g_{MN1(2)}}{2g_{MP5(6)}}$$
 (8.8.11)

 $A_{DMAF} = -g_{MN1(2)} r_{outA(B)} \qquad (r_{oN6} \rightarrow \infty) \cdots (8.8.12)$

式 8.8.11 告诉我们,等效于在第一级实现单——双端转换的有源电流镜是(MP5+MP6)。

差模反馈这种效应有利于运放稳定,它加剧了节点A、B所贡献极点的分裂,给运放的频率补 偿带来了很大的好处。

图 8.1 电路最难分析的是输出节点贡献的极点对运放稳定性的影响,这是因为在关心的频率, 电路存在两条反馈回路:一条是通过补偿电容 Cc,另一条是经由 MN7、MN8 通过 MN10。不过容 易分析的是,g_{mMP5(6)}的变化对输出节点是正反馈<u>,</u>因此增加 g_{mMP5(6)}会使输出节点贡献的极点前移, 会减小运放的稳定性(这是同例 7 完全不同的地方),也正是这个原因,Cc导致的输出极点的分裂 没有例 7 显著,故通常 Cc 也比例 7 选得较大的原因。

依然可以利用例 7 中求零点的方法来求图 8.1 电路的零点。只不过因差模反馈的存在表达式复 杂得多。为简化分析,我们假定:

- ① 节点 A 贡献的极点依然是第一主极点,由于差模负反馈在第一级有单——双端转换的效应,认为 GB=(0.5~1)g_{mMN1}/Cc;
- ② 节点 C 因 Cc 的负反馈,其贡献的极点为 gmMN3/Cc;
- ③ 节点 B 贡献的极点因差模反馈效应远离原点, 假定这个极点与 Cc 反馈支路产生的左半平面的零 点抵消(这完全是可能的,可通过式 8.8.9 调整节点 B 的小信号阻抗从而控制其极点的位置);
- ④ 输出节点贡献的极点是第三主极点;

这就是说,图 8.1 运放可以看成是一个三极点运放。

思考题 8.6: 试证明:对于一个三极点运放,第三极点比第二极点高 10 倍,如果没有零点,为得到 60°相位余度,则第二极点必须比 GB 高 2 倍。

- 三、图 8.1 电路设计公式的推导
- 1. 根据前面的假定,于是有: ω_{PC}>2GB,即 g_{mN3}> (1~2) g_{mN1},即:

 因为要求ω_{Pout}>10ω_{PC}, 而ω_{Pout}的具体表达式难以求出,考虑到本电路的密勒电容的极点分裂效 应比例 7 小,作为设计前的估算,我们取例 7 的 2 倍,即:

3. 为获得最大的 CMRR, MN10、MN11 应尽可能满足 8.3 式, 这里重新写出来如下:

$$V_{onMN11} > 10 \left(1 + \frac{2I_{DMP5(6)}}{I_{DMN10}} \right) V_{onMN10}$$
(8.11)

第 75 页 共 103 页

重庆邮电大学

事实上式 8.11 并不总是能满足的, 特别是在第二级电流较大的情况下满足这个式子几乎不现实的, 由式 8.6 估算的 CMRR 的会比实际的 CMRR 稍大。

四、运放转换分析



图 8.10

运放正向转换期间的等效电路如图 8.10(A)所示。电容 Cc 的充电电流 ½为: ½=¼+ ⅓-¼, 由于 MN7、MN8 在转换期间截至,流过 MN10 的电流 ¼比静态时会略微大一点(这是因为 MN11 工作在深线性区, MN7、MN8 截至不会导致 V_{dMN11} 大幅下降)。显然, ½一定能提供 ½(1+ (CL /Cc) 这样大的电流。因此:

 $SR_{+} = i_{4}/Cc \approx i_{dMP1(2)0}/Cc$ (8.13)

式中 idmP1(2)0 为 MP1、MP2 的静态工作电流。

运放负向转换期间的等效电路如图 8.10 (B) 所示。电容 Cc 的放电电流为 i_1 。如果 SR = i_1 /Cc, 则要求 MN8 提供的电流为 $i_1(1+ (C_L/Cc))$ 。静态时 $i_3+i_4=2i_2$,这表明转换期间 B、C 点的电压会明 显下降导致 MN9、MN10 进入线性区, i_4 减小,同时 B 点的电压下降导致 i_{MP5} 比其静态电流大, 第 76 页 共 103 页

重庆邮电大学

光电工程学院

至于最终大多少,与静态时 MP5 距离临界饱和的余量有关。距离临界饱和的余量越大(此时意味 着输出摆幅会减小),转换电流 *i* = *i* 越大,转换越快。如果能满足:

$$i_{5} = i_{6} > i_{1}(1 + (C_{L}/Cc))$$
 (8.14)

则:

$$SR = i_1 / Cc \approx i_{dMP1(2)0} / Cc$$
 (8.15)

否则:

 $SR = i_6/C_L \approx (2 \sim 3) i_{dMP5(600)}/C_L \cdots (8.16)$

式中 iamp5(6)0 为 MP5、MP6 的静态工作电流。



试设计图 8.13 高增益无缓冲运放设计,满足下列要求:

A_{DM} >100dB(即 10 ⁵ 倍),	电源电压±5V,
GB>5M,	$C_{L}=10PF$,
SR>10V/uS,	输出电压范围±3.5V,
	第 77 页 共 103 页

Pdiss<4mW。

CMRR>120dB

输入共模电压范围(ICMR)±3.5V。





三、参数估算

1. 根据 CL 确定 Cc 及各级的静态工作电流。

因为Cc ~ (0.2~0.5)CL,取Cc=5P;

故 I_{DMP7} =SR×Cc=10×5=50uA。

按式 8.14 选取第二级的静态工作电流,即: *i*_{dMP5(6)0} = *i*₁(1+ (C_L /Cc) = 50 (1+2) = 150uA。 验证功耗要求: Pdiss = (50+150) × 10=2mW,满足小于 4mW 的要求。

2. 分配各级增益

设 A_{D1}>54dB(即 A_{D1}>500), A_{D2}>50dB(即 A_{D2}>300)。这里给出了 4dB的估算余量。

3. 估算第一级参数

重庆邮电大学

- ① 确定偏置电压 Vb1: Vb1<VinCMmin-VonN1(2),取 VonN1(2)=0.2,即 Vb1<-3.5-0.2=-3.7,取 Vb1=0.5+0.58-5=-3.92(即 VonN9=0.5)。
- ② 确定偏置电压 Vb2: Vb2>VinCMmax-VTN1(2)+VonN3(4),取 VonN3(4) = 0.15,即
 Vb2>3.5-0.58+0.15=3.07,取 Vb2=3.2(注意:这里分配 MN3(4)的过驱动电压是要满足式 8.9)。
- ③ 确定偏置电压 Vb3、Vb4:取 VonP3(4)=0.4, VonP1(2)=0.3,即 Vb4=5-0.8058-0.3≈3.9;
 Vb3=Vcc-VonP1(2)-VonP3(4)-|VTP3(4)|=5-0.3-0.4-0.8058=3.4942,考虑到|VTP3(4)|
 因沟道调制效应比 0.8058 大,且应给 MP1(2)工作在保和区留余量,故取 Vb3=3.2,

思考题 8.11: 这里需要像前面一样先根据第二级的输出摆幅确定 VA(B)的大小后来确定 Vb3 吗? 如果需要,解释为什么?如果不需要,应满足什么条件?

④ 验证第一级增益是否满足要求: 假定 L=2u, 查表 1.1, 为简单起见, 我们取λ_N≈0.06, λ_P≈0.22,

$$A_{DM1} \approx \frac{2}{(V_{onN3}\lambda_{N3}\lambda_{N1} + V_{onP3}\lambda_{P3}\lambda_{P1})V_{onN1}} = \frac{2}{(0.15 \times 0.06 \times 0.06 + 0.4 \times 0.22 \times 0.22) \times 0.2} = 502$$

由于分配增益时已考虑了余量,这里我们认为已基本满足预定要求。

- ④ 估算第一级的各管的宽长比:为简单起见,我们取 Kn≈30, Kp≈11
- $(W/L)_{MN1(2)} = I_D/(Kn \times V_{onN2}^2) = 50/(30 \times 0.2^2) \approx 42 = 84/2$
- $(W/L)_{MN3(4)} = I_D / (Kn \times V_{onN1}^2) = 50 / (30 \times 0.15^2) \approx 74 = 148/2$
- $(W/L)_{MP1(2)} = I_D / (Kp \times V_{onP1}^2) = 50 / (11 \times 0.3^2) \approx 51 = 102/2$
- $(W/L)_{MP3(4)} = I_D / (Kp \times V_{onP2}^2) = 50 / (11 \times 0.4^2) \approx 28.5 = 57/2$
- 4. 定第二级的偏值电压 Vb5 和 Vb6

Vb6<Voutmin+V_{TN6}=-3.5+0.58=-2.92, \mathbb{R} Vb6=-3.2;

Vb5>Voutmax $-|V_{TP6}|=3.5-0.8058=2.6942$, \mathbb{R} Vb5=3.0;

5. 估算第二级参数

取 V_{onP5(6)}=0.4, V_{onP7(8)}=0.3, V_{onN7(8)}=0.4, V_{onN5(6)}=0.2, 由此可以估算出 A、B 两点的静态 电压为: V_{A(B)} ≈Vcc−|VTP|-V_{onP5(6)}=5-0.8058-0.4=3.80

若取 L=2u,为简单起见,我们依然取λ_N≈0.06,λ_P≈0.22,于是可以估算出:

6. 估算第二级各管宽长比

查表 1.1,为简单起见,我们取 Kn≈30, Kp≈11,

- $(W/L)_{MN7(8)} = I_D / (Kn \times V_{onN1}^2) = 150 / (30 \times 0.4^2) \approx 31 = 62/2$
- $(W/L)_{MN5(6)} = I_D / (Kn \times V_{onN2}^2) = 150 / (30 \times 0.2^2) \approx 62 = 124/2$
- $(W/L)_{MP5(6)} = I_D/(Kp \times V_{onP1}^2) = 150/(11 \times 0.4^2) \approx 85 = 170/2$

第 79 页 共 103 页

CMOS 模拟集成电路 CAD 讲义

重庆邮电大学

$$(W/L)_{MP7(8)} = I_D / (Kp \times V_{onP2}^2) = 150 / (11 \times 0.3^2) \approx 150 = 300/2$$

- 7. 估算 MN9~MN11 的参数
- ⑦ 先估计 Vc=-4.8 (即 VonN10=0.3),为减少偏置电压的个数,取 Vb7=0 (即 VonN11=4.5),
- ⑧ 分配 MN9、MN10 的电流,因 MN9 的过驱动电压比 MN9 的过驱动电压大 0.2,为使它们的宽长比近 似相等,取 I_{DMN10}≈100/〔1+(0.5/0.3)²〕=26u。于是: I_{DMN10}≈74u; I_{DMN11}≈2×150+26=326u。
- ⑨ 验证 CMRR 满足要求

$$CMRR_{D} \approx 20 \log \frac{g_{mN1(2)}g_{mP5(6)}r_{out1}r_{out2}r_{oN9}}{\frac{1}{g_{mN10}} + \frac{1}{2g_{mN7(8)}}} = 20 \log \frac{A_{DM1}A_{DM21}r_{oN9}}{\frac{1}{g_{mN10}} + \frac{1}{2g_{mN7(8)}}}$$
$$= 20 \log \frac{A_{DM1}A_{DM21}}{\lambda_{N9}I_{DN9}\left(\frac{V_{oN10}}{2I_{DMN10}} + \frac{V_{oN7(8)}}{4I_{DMN7(8)}}\right)}$$
$$= 20 \log \frac{502 * 312}{0.03 * 26\left(\frac{0.3}{2 * 74} + \frac{0.4}{4 * 150}\right)}$$

$\approx 153 dB$

满足预定要求。

 $(W/L)_{MN9} = I_D / (Kn \times V_{onN1}^2) = 74 / (30 \times 0.5^2) \approx 10 = 40/4$

- $(W/L)_{MN10} = I_D/(KnV_{onN2}^2) = 26/(30 \times 0.3^2) \approx 9.6 = 38/4$
- 因为: $I_{DMN11} = Kn \times (W/L)_{MN11} [2V_{onN11} \times V_{DSN11} V_{DSN11}^2]$
- $(W/L)_{MN11} = 326/[30(2*4.5*0.2-0.2^2)] \approx 6 = 12/2$

二、仿真验证

1. 静态工作点初步仿真结果如图 8.14 所示。



图 8.14

图 8.14 的仿真结果表明静态工作电流与预设定值相差不大,但是 MN7、MN8 工作在线性区, 需要调整,由于该电路存在反馈,静态工作点相互关联,但调整时我们希望两级的静态工作电流能 独立调整,如何才能做到这一点呢?

在图 8.15 中,我们断开反馈环路,分别在 MP5、MP6 的栅集加电源 VF1;在 MN5、MN6 的源 集加上电源 VF2, VF1、VF2 的电压值为该点你所预定的设计值。这样就可以分别调整两级的静态 工作点了。具体方法如下:

- ① 调整 MP1 (2) 和 MN9、MN10 使第一级的静态工作电流到达预定值,同时第一级的静态输出电 压 VA (B) 的值同 VF1 相等;
- ② 调整 MP5(6)和 MN11 使 VF2 的静态工作电流为 0,当然每个 MOS 均应工作在饱和区(MN11 除外);
- ③ 断开 VF1 和 VF2,将 MP5、MP6 的栅集分别连接到第一级的输出,重新仿真所得结果即是你需要的静态工作点。

思考题 8.12: 解释上面这样做的依据是什么? 这样做有什么好处?



图 8.15

图 8.16 是图 8.15 断开 VF1 和 VF2 后的仿真结果,其差异仅仅是在图 8.16 中,第二级静态工作 电流比图 8.15 中的第二级电流大了 0.4uA,其余几乎不变。

在图 8.16 中,如果需要改变其它各点的静态工作电压,只要不改变 MP1(2)、MN9~MN11 的 宽长比及其偏置,则第一级的静态输出电压和 MN11 的漏集电压就几乎不变,这是因为环路的负反 馈效应。这对调整其它管的参数是非常方便的。

2. 频率特性的仿真结果

图 8.16 的波特图仿真结果如图 8.17 所示。低频小信号增益为 106dB, GB=16M, PM=85°, 满足了设计要求。

PM 远大于 60°, 可以减小 Cc 以增加 GB。仿真结果如图 8.18 所示。







图 8.17 图 8.16 波特图 (CL=10P, Cc=5P)





图 8.21 ICMR 的仿真结果

从图 8.21 来看,如果按 CMRR>120dB, ICMR 大约为-3.6~5(Vcc),这从直观上很难理解, V_{INCMMAX} 怎么可能到达 Vcc 呢?我们仿真看看当 VinCM=Vcc=5V 时的波特图,结果如图 8.22 所示,原来共模增益也随 VinCM 的增加而减少。虽然 CMRR 还是保持了较高水平,但是 A_{DM} 减小,这时依然会给运放带来很大的运算误差。如何确定 ICMR 呢,此时可以看 A_{DM} 随共模输入的变化,如图 8.23,如果以 A_{DM} 不小于 100dB 为准,则 ICMR 为-3.7~3.0。最大共模输入电压比要求的 3.5小,请读者自己考虑如何提高 V_{INCMMAX}。



图 8.22 图 8.16 波特图 (CL=10P, Cc=4P, VinCM=Vcc=5V)

值得一提的是,对于单电源电压,如果是 PMOS 作为输入管,第二级依然是 NMOS 作为输入管,则当 VinCM=0V时 CMRR 依然保持较高值,虽然此时 A_{DM}减小,但输入电压也很小,运放的绝对误差可以控制在很小的范围,这一特点特别适合于仅对觉得误差要求较高的场合(如 A/D、D/A)。



图 8.23 A_{DM} 随共模输入电压变化的仿真结果 图 8.24 A、B 两点的仿真结果 从图 8.24 可知。A、B 两点的增益相差 18dB,这是第二级对第一级的差模反馈效应。 这种结构很容易改成双端输出运放,如图 8.25 所示,其波特图的仿真结果如图 8.26。



图 8.25 双端输出运放

比较图 8.16 和图 8.25 静态工作电流和电压,它们之间有何关系?



思考题 8.13:图 8.26 中 A_{DM} 为何只有 100dB?GB 为何只有 12.3M (而图 8.18 中有 106.0dB,GB=33M)?



图 8.26 图 8.25 电路的波特图(CL=5P, Cc1=Cc2=3P)

三、验证一个问题

在前面的分析中,我们指出第二级的差模反馈对第一级有单一双端变换作用,且 g_{mMN5(6}) r_{oN5(6}) 越大, λ_{N7(8)} 越小,这种单一双端变换作用越明显。为了验证这一特性,我们将 MN5(6)、MN7(8) 结成基本共源共栅电流镜,如图 8.27 所示,这样在改变 MN5(6)、MN7(8)的宽长比时可以保证它们均工作在饱和区。

改变 MN5(6)的宽长比及 MN7(8)的沟道长度 L (即减小λ_{N7(8)}), A、B 节点的增益变化分别如图 8.28~8.31 所示。显然这与前面的分析相符合。





图 9.1

例 9: β乘法型参考电压源(Beta Multiplier Voltage Reference)设计

集成电路中一般采用带隙电压基准,在在标准 CMOSN 阱工艺中,带隙基准需要采用衬底 PNP。 在一些特殊应用中,如 DRAM^[1],衬底通常被电荷泵泵到一个负电位,衬底 PNP 给衬底的注入电流 会使电荷泵持续工作,这不仅会增加功耗,且衬底电压的变化也会影响带隙基准的正常工作。此时 β乘法型参考电压基准(BMVR)因没有衬底的注入电流,因此可提供比带隙基准更佳的效果。 一、基础知识回顾

1. CMOS 工艺中电阻的温度特性

电阻的一阶温度系数 TCR 定义为:

$$TCR \approx \frac{1}{R} \frac{dR}{dT}$$
.....(9.1)

常用电阻的一阶温度系数(L=2µm,双多晶、双铝、N阱^[1])如表 9.1 所示。

电阻类型	(N) 阱电阻	n+/p+有源电阻		多晶电阻
R (Ω/) 250	2500	n+	P+	25
	2300	28	70	
TCR (ppm/°C)	10000	2000		1000

表 9.1

SPICE 模型在前面的一阶效应基础上,还会考虑电阻的二阶效应,即:

$$R(T) = R_{T0} \left[1 + TCR \left(T - T_0 \right) + TCR2 \left(T - T_0 \right)^2 \right] \dots (9.2)$$

上式中 R_{T0}为温度 T₀时的电阻,通常 T₀=27°C,在手工估算中,我们假定 TCR2=0。 思考题 9.1:在图 9.1中,假定 T₀=27°C 时,R1=10K,R2=20K,TCR= 2000ppm/°C (TCR2=0),分别求 T 为 0°C 和 100°C 时的 R1、R2 的大小,并 求 Vout 的 TCR。

 $\begin{aligned} &R1|_{T=0^{\circ}C} = 10[1+0.02(0-27)] = 4.6K; & R2|_{T=0^{\circ}C} = 20[1+0.02(0-27)] = 9.2K; \\ &R1|_{T=100^{\circ}C} = 10[1+0.02(100-27)] = 24.6K; & R2|_{T=0^{\circ}C} = 20[1+0.02(0-27)] = 49.2K; \end{aligned}$

从上面的计算中可以看出, R1、R2 的绝对值随温度的变化而变化的范围较大,但 Vout 的 TCR =0。这就是我们在集成电路设计中希望所输出的电压或电流表达式尽可能是电阻或电容的比值而 不是单一的乘或除以某个电阻或电容绝对值的原因。

2. MOSFET 的温度特性

由于 MOSFET 的开启电压 V_{TH}和电子迁移率µ都是温度的函数,故 MOSFET 的漏集电流 I_D也是温度的函数。

第 90 页 共 103 页

开启电压 V_{TH}与表面电势 $\phi_s(T)$ 的温度特性有关:

$$\phi_{\mathcal{S}}(T) = PHI(T) = \frac{PHI \bullet T}{T_0} - 3\frac{kT}{q} \ln\left(\frac{T}{T_0}\right) - \frac{E_g(T_0) \bullet T}{T_0} + E_g(T) \dots (9.4)$$

上式中 Eg是硅的带隙电压,单位是 eV (1eV=1.6×10⁻¹⁹J),其值为:

$$E_g(T) = 1.16 - 702 \times 10^{-6} \frac{T^2}{T + 1108} \dots$$
(9.5)

开启电压 V_{TH}的温度系数在-100℃~100℃内变化时,其温度系数可按下式估算:

$$TCV_{THN} = \frac{1}{V_{THN}} \frac{dV_{THN}}{dT} \approx -3000 ppm/^{\circ}C.$$
(9.6)

于是 VTH(T)可写作:

$$V_{THN}(T) = V_{THN}(T_0) \Big[1 + TCV_{THN}(T - T_0) \Big]$$
(9.7)

迁移率μ与温度的关系可写作:

$$\mu(T) = \mu(T_0) \left(\frac{T}{T_0}\right)^{-1.5}$$
(9.8)

$$KP_{n(p)}(T) = \mu_{n(p)}(T)C_{ox} = KP_{n(p)}(T_0)\left(\frac{T}{T_0}\right)^{-1.5}$$
(9.9)

从上面的温度特性关系我们发现,当温度升高,V_{TH}减小,其趋势是使漏电流增加,同时,由于µ减小,其趋势是使漏电流减小,那么,MOSFET 随温度升高时漏集电流到底是升高还是减小呢? 我们先来仿真图 9.1 中的电路,观察图中 I_{D(MN1)} (V_{DS}=常数)、I_{D(MN2)} (V_{DS}=V_{GS})随电压 V1 和 温度的变化曲线。



图 9.1

第 91 页 共 103 页



图 9.2 ID(MNI) 随电压 V1 和温度的变化曲线

从图 9.2 中可以看出,在常温时漏电流较小(V_{GS}<697.79m)的情况下,随着温度增加,V_{TH}的变化起主导作用,此时漏电流随着温度增加而增加,反之,在常温时漏电流较大(V_{GS}>697.79m)的情况下,随着温度增加,μ的变化起主导作用,此时漏电流随着温度增加而减小。值得注意的是, 无论温度如何变化,曲线近似恒过点(0.7V,59uA)。



图 9.3 ID(MN2) 随电压 V1 和温度的变化曲线

图 9.3 与图 9.2 的区别是,在图 9.3 中,MN2 的 V_{DS}(=V_{GS})不是常数,从仿真结果来看,曲 线近似恒过点(0.71V,61uA)。由此可以看出,如果需利用 MOSFET 的这一特性来构成电压基准,静态偏置点的确定是有一定困难的。

3. β乘法型参考电压源



图 9.4

在图 9.4 中, MN1~MN4 和 MP1~MP4 构成自举偏置电路, 产生一个几乎与 VDD 无关的参考电流源 Iref,

$$I_{ref} R = V_{GSN1} - V_{GSN2} \dots (9.10)$$

$$V_{GSM} = \sqrt{\frac{2I_{ref}}{\beta_1}} + V_{THM1} \dots (9.11)$$

$$V_{GSN2} = \sqrt{\frac{2I_{ref}}{\beta_2}} + V_{THN2} \dots (9.12)$$

$$I_{ref} R = \sqrt{\frac{2I_{ref}}{\beta_1}} - \sqrt{\frac{2I_{ref}}{\beta_2}} = \sqrt{\frac{2I_{ref}}{\beta_1}} \left(1 - \frac{1}{\sqrt{K}}\right) \dots (9.13)$$

$$I_{ref} = \frac{2}{\beta_1 R^2} \left(1 - \frac{1}{\sqrt{K}}\right)^2 \dots (9.14)$$

$$V_{ref} = V_{GSN1} = \frac{2}{\beta_1 R} \left(1 - \frac{1}{\sqrt{K}}\right) + V_{THN} \dots (9.15)$$

CMOS 模拟集成电路 CAD 讲义

重庆邮电大学

1. 选 K=4 (一般 K 取 4 或 8, 这样利于版图的对称性设计);

2. 估算 R、(W/L) MN1、(W/L) MN2;

取 Iref≈50µA, 由式 9.20 可得: 由式 9.20 可得:

$$R = \frac{2}{5I_{ref}} = \frac{0.4}{50 \times 10^{-6}} = 8K$$

由式 9.19 可得:

$$\beta_1 = \frac{1}{0.8R} = \frac{1}{0.8 \times 8 \times 10^3} = 1.5625 \times 10^{-4}$$

取 Kn≈30µA•V⁻²,

$$\left(\frac{\mathbb{W}}{\mathbb{L}}\right)_{MV1} = \frac{1.5625 \times 10^{-4}}{30 \times 10^{-6}} \approx 5 = 10\mu/2\mu$$
$$\left(\frac{\mathbb{W}}{\mathbb{L}}\right)_{MV2} = 4\left(\frac{\mathbb{W}}{\mathbb{L}}\right)_{MV1} = 40\mu/2\mu$$

3. 下面估算 MN3、MN4、MP1~MP4

假定 A 和 B、C 和 D、E 和 F 的电压均相等,则 Vcc>V_{GSMP4(3)}+ V_{GSMP2(1)}+ V_{GSMN4(3)}+ V_{GSMN2(1)}, 因 V_{GSMN2(1)}≈1.2,取 V_{GSMN3(4)}≈0.8 (Von=0.2185),取 V_{GSMP4(3)}=V_{GSMP2(1)}≈1.2 (Von=0.3942),

 $(W/L)_{MN3(4)} = I_D / (Kn \times V_{onN1}^2) = 50 / (30 \times 0.2185^2) \approx 35 = 70/2$

 $(W/L)_{MP1(2)} = (W/L)_{MP3(4)} = I_D / (Kp \times V_{onP1}^2) = 50 / (11 \times 0.3942^2) \approx 29 = 54/2$

5. 估算启动电路 MN5、MN6、MP5 参数

启动电路的参数不必特别估算,只要正常工作后 G 点的电压使 MN6 关闭即可。通常 MP5 为倒 宽长比 (W/L<1)。

三、仿真验证

估算参数的仿真结果如图 9.5 所示。

注意,电阻要用 BREAKOUT 库中的 Rbreak,然后选中该电阻,点击右键,选 Edit Pspice Model,将电阻模型该成: .model Rbreak RES R=1 TC1=0.002,这样,电阻的值才会随温度变化而变化。



图 9.5 显示电流比预定的小 16uA,这对电路的功能没有太大的影响。我们可以继续仿真观察其 它特性。Vref 和输出电流的温度特性分别如图 9.6 和图 9.7 所示。

第 95 页 共 103 页



图 9.6 Vref 的温度特性

图 9.7 输出电流的温度特性

图 9.6 和图 9.7 中显示当温度从 0°C~80°C 变化时,静态工作电流从 32uA~35uA。Vref 从 1.066~ 1.179 (ΔV=113mV), Vref 表现为近似 PTAT,显然没有达到预期的稳压特性,我们如何去寻找那个具有稳压特性的点呢?



图 9.8

在图 9.8 中,我们断开 MP1、MP2,在此加上一个理想电流源 11,对 11 做 DC SWEEP(对温度做 Second Sweep)分析,观察不同温度下的 Vref(V(A))的交点,注意此时需调整 MN1 的宽长比使 Vref 的交点对应于欲设定的静态工作电流(T=300K);或调整 MN1 和 MN2 的宽长比使 V(A)的交点对应于欲设定的静态工作电流(T=300K),图 9.8 电路参数的扫描结果分别如图 9.9、图 9.10 所示。



图 9.9 Vref 的扫描结果((W/L)_{MN1}=20/2)

图 9.10 V(A)的扫描结果((W/L)_{MN1}=20/2) 图 9.9 显示,曲线恒过(5.57uA,711.57mV),这意味着如果在(W/L)_{MN1}=20/2的条件下, 静态工作电流大致为 5.57uA, Vref 的稳压值约为 711.57mV, 如果希望获得更大输出的参考电压基 准,可以从 V(A)输出,由图 9.10 可知,在(W/L)_{MN1}=20/2、(W/L)_{MN2}=70/2 条件下,如果希望 从 V(A)获得基准电压,静态工作电流大致为 9.93uA, Vref 的稳压值约为 1.419V。



图 9.11

图 9.11 是以图 9.9 为基础调整的参数,其 Vref 随温度的仿真结果如图 9.12 所示,在 0°C~80°C 变化范围内, ΔVref 约为 0.212mV。TC(Temperature Coefficient)为 3.8ppm/°C。

图 9.13 是输出电流随温度的变化曲线,从仿真结果看,近似于 PTAT 电流源。



第 98 页 共 103 页

图 9.14 是以图 9.10 为基础调整的参数,其 V (A) 随温度的仿真结果如图 9.15 所示,在 0°C~80°C 变化范围内, Δ V (A) 约为 0.3mV。TC (Temperature Coefficient) 为 2.69ppm/°C。

图 9.16 是输出电压(流)随 VCC 的变化曲线,从仿真结果看,该电路的最小工作电压近似为 3V。



图 9.17 是图 9.14 电路在-55°C~125°C 变化范围内 V(A)的扫描结果,在军用温度范围内,其ΔV (A) 约为 1.5mV。TC (Temperature Coefficient)为 6.0ppm/°C。

四、问题探究

β乘法型参考电压基准与工艺参数 V_{TN}有关,这是一个讨厌的缺点,因为 V_{TN}大约有±20%的误差。能设计与 V_{TN}无关的β乘法型参考电压基准吗,自觉上是可行的。



图 9.18

在图 9.18 中,如果选择合适的参数, Vref1、Vref2 均表现出基准特征,则 Vref2-Vref1 即基本与

第 99 页 共 103 页

V_{TN}无关。我们先来看看仿真结果,再去探讨一些细节问题。



图 9.20 V_{TN0}=0.5815 时 Vref1-Vref2 的温度特性

图 9.20 表现出了一个基准特征,在-55°C~125°C变化范围内其∆V(A)约为4.5mV。TC (Temperature Coefficient)为18ppm/°C。Vref1−Vref2≈431mV

当 V_{TN}减小 20%时的 Vref1、Vref2、Vref1-Vref2 的仿真结果分别见图 9.21 和图 9.22 所示。Vref1、 Vref2 因 V_{TN0}的改变分别减小了 110mV(约为≈Δ V_{TN0}),但 Vref1-Vref2≈446mV, Vref1-Vref2 大 约只增加了 15mV,约为 Vref1(Vref2)变化率的 1/7。



图 9.22 V_{TN0}=0.46524856 时 Vref1-Vref2 的温度特性

当 V_{TN}增加 20%时的 Vref1、Vref2、Vref1-Vref2 的仿真结果分别见图 9.23 和图 9.24 所示。Vref1、 Vref2 因 V_{TN0}的改变分别增加了 110mV(约为≈Δ V_{TN0}),但 Vref1-Vref2≈417mV,Vref1-Vref2 大 约只减小了 17mV,约为 Vref1(Vref2)变化率的 1/7。



图 9.24 V_{TN0}=0.69787284 时 Vref1-Vref2 的温度特性

从前面的仿真结果看出,要得到与 V_{TN} 近似无关的基准是完全可能的,那么如何减小 Vref1 – Vref2 的精度呢?请读者自己研究。

由于 Vref1-Vref2 是一浮地电压基准,可利用图 9.25 电路将 Vref1-Vref2 变换成任意电平的参考基准电压(当然也可变换成任意电平的浮地参考基准电压):

$$V_{\rm ref} = \frac{R_6(2R_4 + R_3)}{R_3R_5}(V_{\rm ref2} - V_{\rm ref1})$$



参考文献:

[1]Song Liu and R. Jacob Baker; Process and Temperature Performanc of a CMOS Beta-Multiplier
 Voltage Refence Circuits and Systems, 1998. Proceedings. 1998 Midwest Symposium on 9-12 Aug.
 1998 Page(s):33 – 36

[2] Prasad, S.S.; Mandal, P.; A CMOS beta multiplier voltage reference with improved temperature performance and silicon tenability, VLSI Design, 2004. Proceedings. 17th International Conference on, 2004 Page(s):551 - 556

[3]R. Jacob Baker, Harry W. Li and David E. boyce CMOS 电路设计、布局与仿真 机械工业出版 社 2003