

A/D与D/A变换技术

李冬梅, 李福乐

2002.12

Outline

- A/D、D/A原理与指标
- A/D、D/A转换器结构综述
- 高速A/D转换器设计
 - 流水线结构
- 高精度A/D转换器设计
 - Delta-Sigma结构

A/D、D/A原理与指标

ADDA: 数字世界与模拟世界的接口

世界是模拟的

但我们需要数字信号处理

- 模拟信号处理的问题;
- 数字VLSI技术的发展;
- 数字信号处理技术的优点。

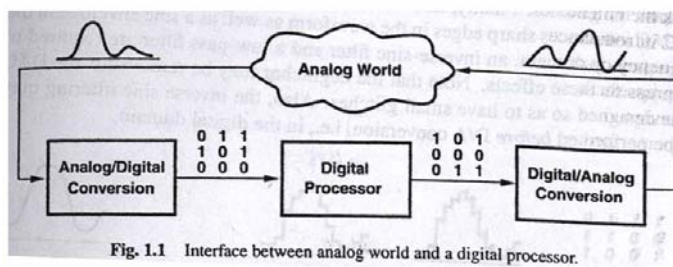
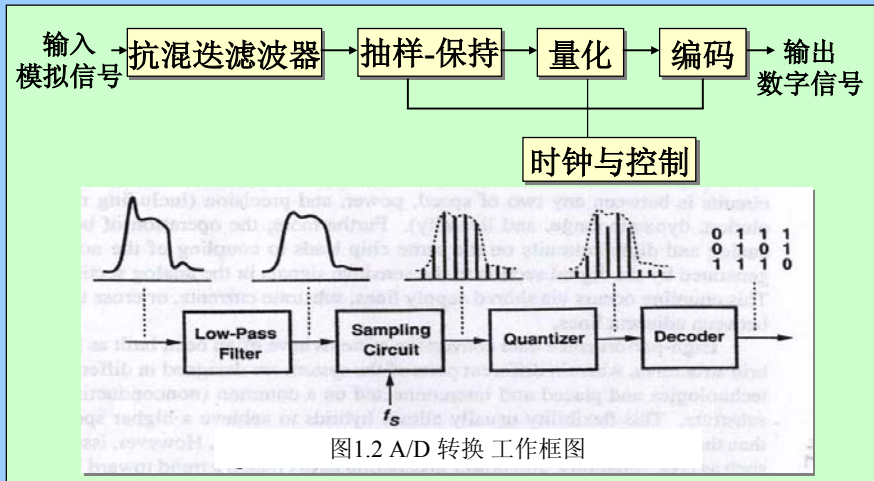


Fig. 1.1 Interface between analog world and a digital processor.

数据转换的基本原理

1. A/D 转换器的基本原理

- A/D 工作框图：



- 抗混迭滤波器将输入信号频带以外的信号滤除
- 抽样电路在抽样时钟控制下对输入信号抽样成为时间离散信号
- 保持电路在变换过程中保持抽样值不变
- 量化电路将抽样值变换为最接近的由二进制数字表示的值
- 编码电路将二进制数字值变换为包括符号位的码字
- 时钟与控制电路提供变换器所需时钟信号并按变换过程控制各部分电路的动作
- 在具体A-D变换器电路中，量化和编码过程往往结合在一起

- **A/D 转换原理:**
- A/D变换是用一个数字量表示模拟量，因为数字量的取值是离散的，而模拟量的取值是连续的，所以这种表示只能是逼近。
- 因而变换结果相对于原模拟信号是有失真的，这种失真称为量化噪声。

$$D = f(A) \quad (1)$$

$$D = \left[2^m \cdot \frac{A}{V_{REF}} \right] \text{—取整} \quad (2)$$

$$\overline{\varepsilon_q^2} = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} \varepsilon_q^2 d\varepsilon_q \quad (3)$$

$$= \frac{\Delta^2}{12} \quad (4)$$

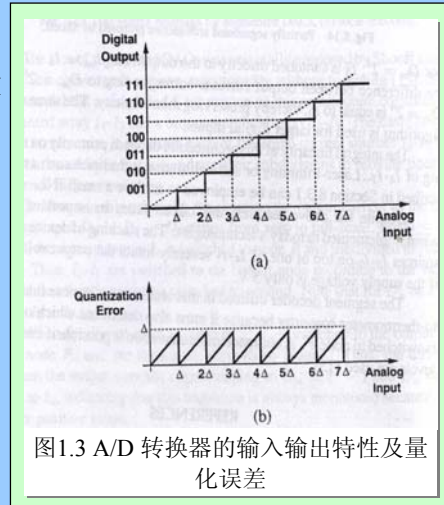


图1.3 A/D 转换器的输入输出特性及量化误差

峰值信噪比:

$$SNR_p = 6.02m + 1.76 \text{ dB} \quad (5)$$

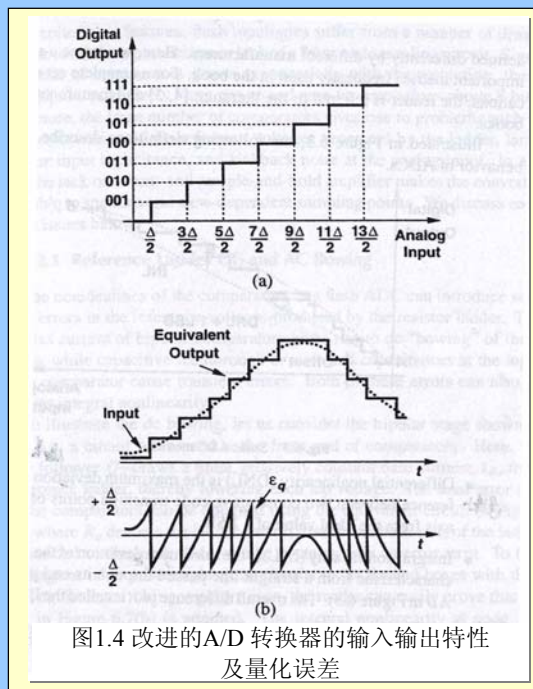


图1.4 改进的A/D 转换器的输入输出特性及量化误差

- 抽样方法

抽样方法可以分为基带抽样，带通抽样和过抽样。

- 基带抽样（奈奎斯特抽样，临界抽样）

理想情况要求抽样频率等于输入信号最高频率的二倍
因为抗混迭滤波器不可能具有理想低通特性，必须有过渡频带，所以抽样频率需要高于Nyquist频率。例如，电话语音信号的最高频率为3400Hz，抽样频率为8kHz。

- 带通抽样

带通信号也可用它的最高频率的二倍作为抽样频率，但必然导致抽样频率过高；利用带通信号的频谱在频率轴上空余很多，可以使用比较低的抽样频率，只要保证频谱不混迭即可。

- 过抽样

抽样频率远超过奈奎斯特抽样频率，称为过抽样。

- A/D 转换器的性能指标

静态指标:

- 微分非线性(DNL)

是在输入轴上两个连续码转换点之间的差值与理想 1 LSB 的值的最大偏差。

- 积分非线性(INL)

是输入/输出特性曲线与连接两端点的直线之间的最大偏差。

- 失调(offset)

是指直线AB通过端点的垂直截距。

- 增益误差 (gain error)

是直线AB的斜率与理想值的偏差。

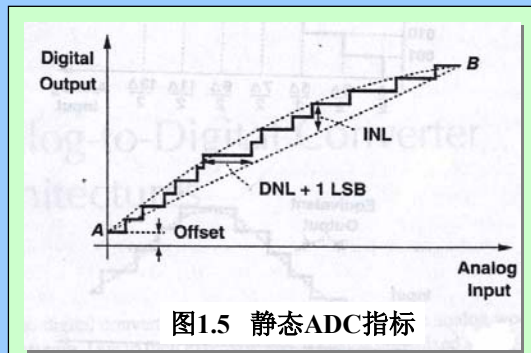


图1.5 静态ADC指标

动态指标:

- 信噪比(SNR)

是输出端信号功率与总的噪声功率的比
(通常采用正弦输入来测量)

- 信号与噪声加失真的比(SNDR)

是当输入为正弦时, 输出端信号功率与总噪声及谐波功率的比.

- 有效位数(ENOB)

定义为:

$$ENOB = \frac{SNDR_p - 1.76}{6.02} \quad (8)$$

其中 $SNDR_p$ 是转换器SNDR峰值的分贝表示.

- 动态范围

是满量程正弦输入功率与 SNR=0 dB 时的正弦输入功率的比值.

- A/D 转换器的分类

- 按采样频率划分:

- Nyquist 采样A/D
- 过采样A/D

- 按性能划分:

- 高速度A/D
- 高精度A/D

- 按结构划分:

- 串行
- 并行
- 串、并行

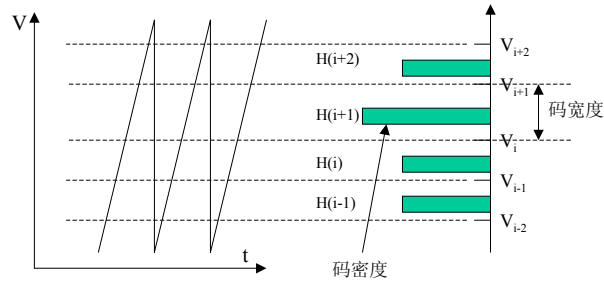
ADC指标测试方法

- 静态指标——码密度测试（CDT）
- 动态指标——采样与FFT频谱分析

码密度测试（CDT）

- 码 j 的密度（码概率）对应于码宽 $V_{j+1}-V_j$
- 输入信号波形选择：三角波 or 正弦波？
- 输入信号频率： f_{in} 与 f_s 的关系
- 样本总数的确定

码密度测试原理——码密度与码宽度



实际输入信号：正弦波 原因：容易产生失真度小的信号
 输入信号频率 f_{in} 与采样率 f_s 的关系

码密度测试原理——理论分析

对于正弦输入信号 $A \sin \omega t$ ，其电压概率密度函数为：

$$p(V) = \frac{1}{\pi \sqrt{A^2 - V^2}}$$

样本在电压区间 $P(V_a, V_b)$ 中的概率：

$$P(V_a, V_b) = \frac{1}{\pi} \left\{ \sin^{-1} \left[\frac{V_b}{A} \right] - \sin^{-1} \left[\frac{V_a}{A} \right] \right\}$$

两边取 cosine，并应用以下两条数学等效式

$$\cos(\alpha - \beta) = \cos(\alpha)\cos(\beta) + \sin(\alpha)\sin(\beta)$$

$$\cos\left(\sin^{-1} \frac{V}{A}\right) = \frac{\sqrt{A^2 - V^2}}{A}$$

可得到:

$$V_b^2 - (2V_a \cos(\pi p(V_a, V_b)))V_b - A^2(1 - \cos^2(\pi p(V_a, V_b))) + V_a^2 = 0$$

设第*i*个转换码对应的发生频次为*H(i)*，且：
$$N_i = \sum_{j=0}^{2^n-1} H(j) \quad CH(i) = \sum_{j=0}^i H(j)$$

$$\text{则有: } V_b^2 - \left(2V_a \cos\left(\frac{\pi H}{N_i}\right)\right)V_b - A^2\left(1 - \cos^2\left(\frac{\pi H}{N_i}\right)\right) + V_a^2 = 0$$

求解上式，并取 $V_b > V_a$ 的解：
$$V_b = V_a \cos\left(\frac{\pi H}{N_i}\right) + \sin\left(\frac{\pi H}{N_i}\right) \sqrt{A^2 - V_a^2}$$

上式给出了由码起始电压 V_a 和码发生频率 H 来计算码终止电压的方法。写成离散的形式：

$$V_i = V_{i-1} \cos\left(\frac{\pi H(i)}{N_i}\right) + \sin\left(\frac{\pi H(i)}{N_i}\right) \sqrt{A^2 - V_{i-1}^2}$$

为避免累加误差，可直接由边界条件 $V_0 = -A$ 和前*i*个码发生频率和 $CH(i)$ 来计算：

$$V_i = -A \cos\left(\frac{\pi CH(i)}{N_i}\right)$$

码密度测试——失调

设直方图中符号位 (MSB) 为 0 的码和符号位为 1 的码的总发生频次分别为 N_n 和 N_p ，则：

$$N_n = \sum_{l=0}^{2^n-1} H(i) \quad N_p = \sum_{l=2^{n-1}}^{2^n-1} H(i)$$

当 ADC 失调 V_{offset} 不为 0 但其值相对于信号幅度 A 比较小时，可通过直方图频次重心位置的偏移量来近似求得：

$$V_{offset} = A \frac{\pi}{2} \frac{N_p - N_n}{N_p + N_n}$$

码密度测试——样本总数的确定

为了将静态特性的测试精度以 $(1-\alpha)\%$ 的可信度控制在 $\pm\beta$ LSB以内，连续采样的样本数 N_t 须满足下式：

$$N_t \geq \frac{Z_{\alpha/2}^2 \pi 2^{n-1}}{\beta^2}$$

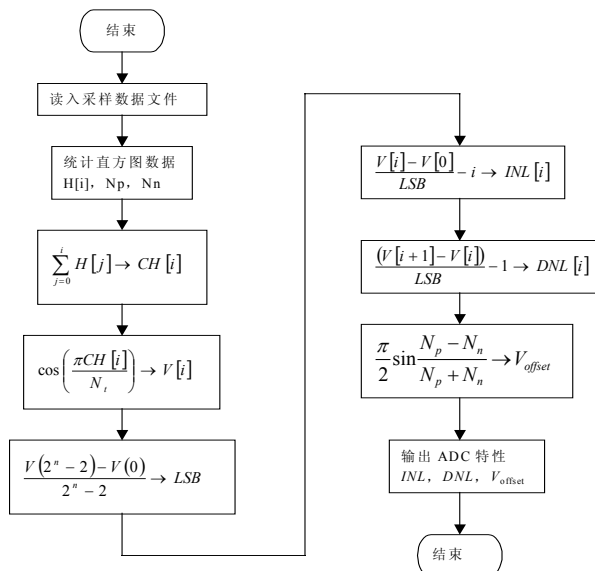
其中， $Z_x = Z:F(Z) = 1-x$

$$F(Z) = \int_{-x}^{\infty} \frac{1}{\sqrt{2\pi}} e^{-t^2} dt$$

例如， $n = 10$ bits， $\beta = 0.1$ LSB， $\alpha = 0.01$ ($Z_{0.005} = 2.58$)，则

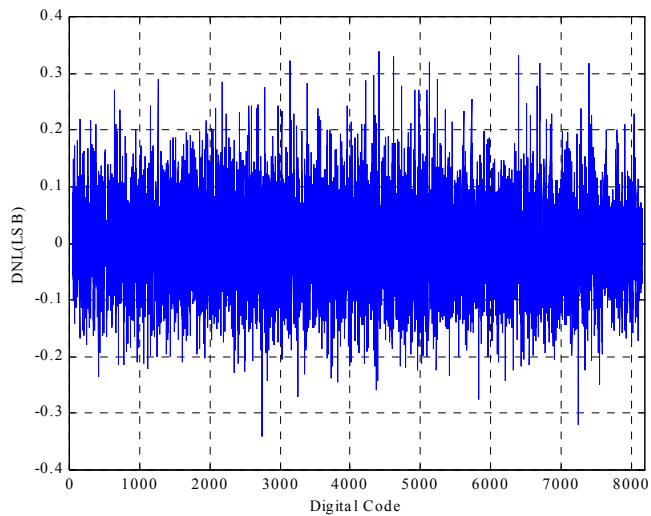
$$N \geq \frac{(2.58)^2 \pi 2^9}{(0.1)^2} = 1.07 \times 10^6$$

码密度测试——数据处理流程

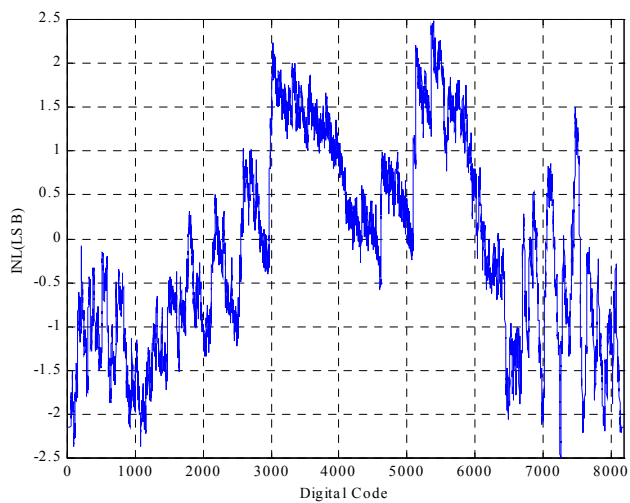


码密度测试——DNL与INL

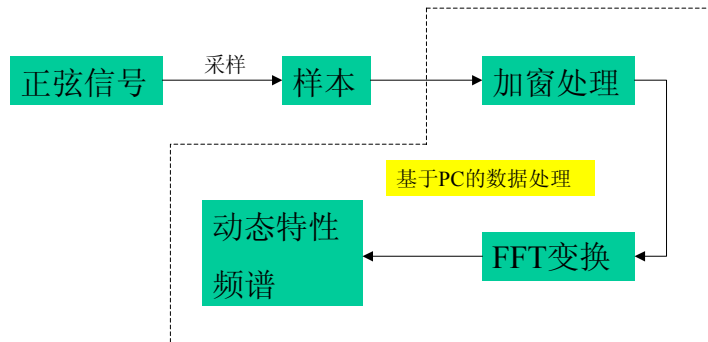
采样率 $f_c=2\text{MHz}$, 输入信号频率 $f_{in}=24.5\text{KHz}$, 采集点数约4Million, 数据宽度13-bit



采样率 $f_c=2\text{MHz}$, 输入信号频率 $f_{in}=24.5\text{KHz}$, 采集点数约4Million, 数据宽度13-bit



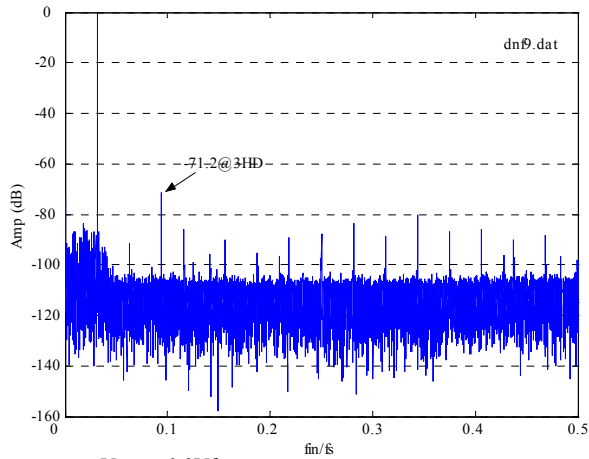
动态特性测试——测试流程



动态特性测试——测试参数

- 输入信号频率 f_{in} 与采样率 f_s 的关系
 - 有利于采集整数个周期的信号数据
 - 每周期采样点数与SFDR指标要求
- 输入信号幅度
- 样本总数 N （窗宽度）
- 频率分辨率

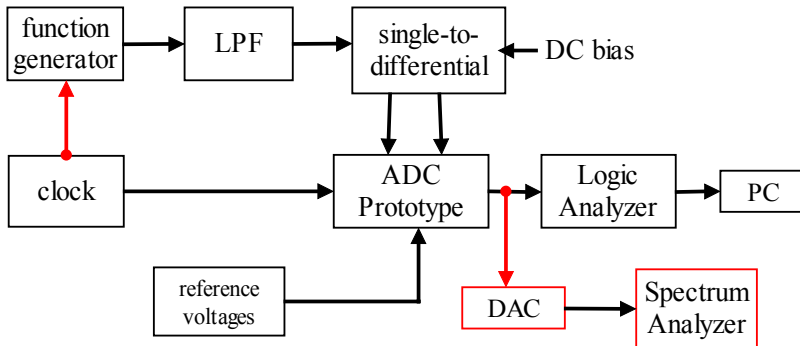
动态特性测试——频谱分析



Vp-p = 0.9Vfs

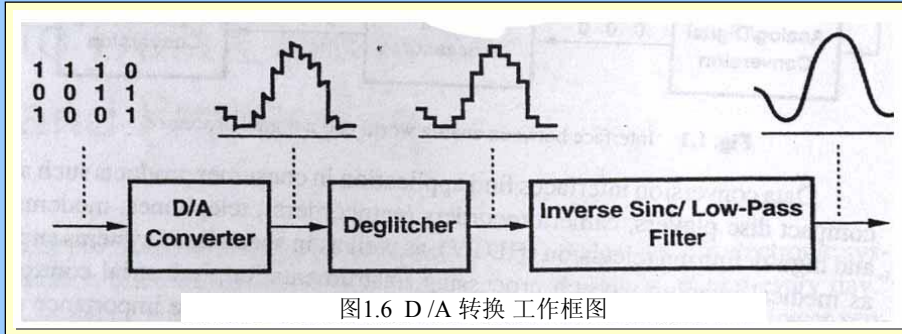
SNDR=64.1dB ENOB = 10.36 bit

测试系统设计



2. D/A转换器基本原理

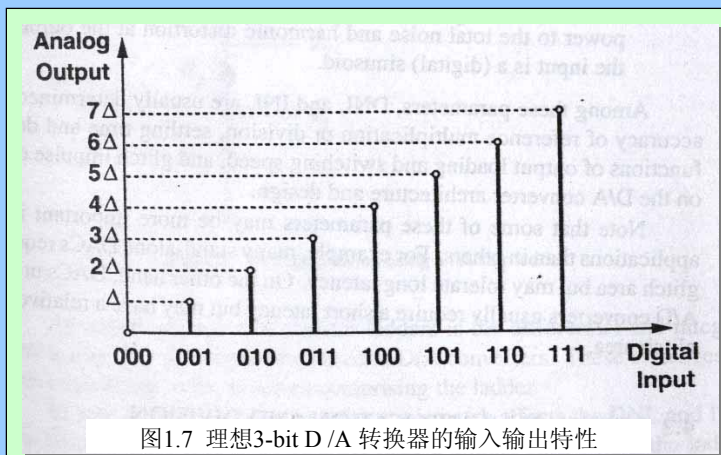
- D/A 工作框图:



- D/A 转换原理

$$A = I_{REF} \cdot D \quad (6)$$

$$A = V_{REF} \cdot \frac{D}{2^m} \quad (7)$$



– 数据转换中常用的码的类型

Decimal	0	1	2	3
Binary	00	01	10	11
Thermometer	0 0 0 0	0 0 0 1	0 0 1 1	0 1 1 1
1-of- n	0 0 0 0	0 0 0 1	0 1 1 0	0 1 0 0

图1.8 二进制, 温度计码及1/n 码

- **D/A 转换器的性能指标**
 - 微分非线性 (NDL)
 - 积分非线性 (INL)
 - 失调 (offset)
 - 增益误差 (gain error)
 - 信号与噪声加失真的比 (SNDR)
(signal-to-(noise+distortion)ratio)

- 建立时间 (settling time)
是指输出经历满量程跨度的变化而达到最终值所规定的误差范围内所需的时间。
- 干扰脉冲面积 (glitch impulse area)
指在输入码变化之后, 在模拟输出表现出的外部干扰脉冲的最大面积。(也叫干扰脉冲能量)
- 反应时间 (latency)
是指从数字输入发生变化到模拟输出建立到最终值的误差范围内所需的总延时。
(如果DAC的数字逻辑是流水线方式, 则反应时间可能包括多个时钟周期)

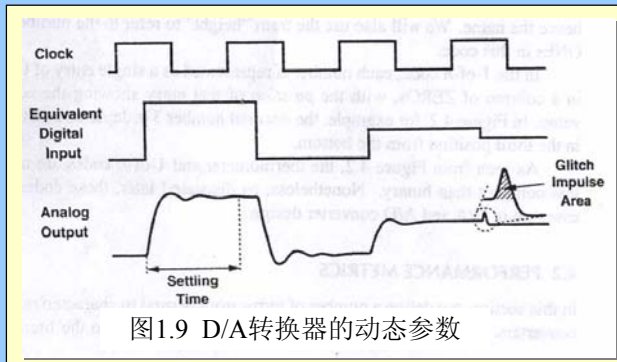


图1.9 D/A转换器的动态参数

• D/A 转换器的分类

- 梯形电阻结构D/A
- 电流型 D/A
- 电容型 D/A

A/D、D/A转换器结构综述

Reference: Principles of Data Conversion System Design

Behzad Razavi

转换器主要结构

A/D转换器

- II 全并行结构 (flash) A/D
- II 两步结构 (two step) A/D
- II 插值 (interpolating) 与折叠 (folding) 结构 A/D
- II 流水线结构 (pipelined) A/D
- II 逐次逼近结构 (successive approximation) A/D
- II 交织结构 (interleaved) A/D
- II 过采样 $\Sigma \Delta$ (over sampling) A/D

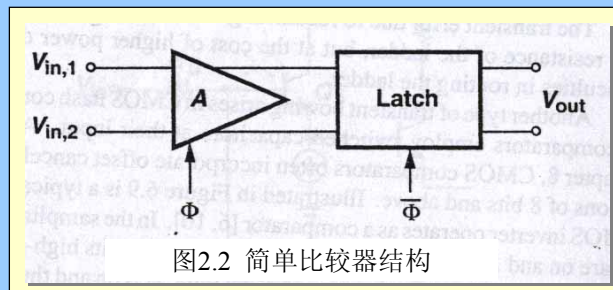
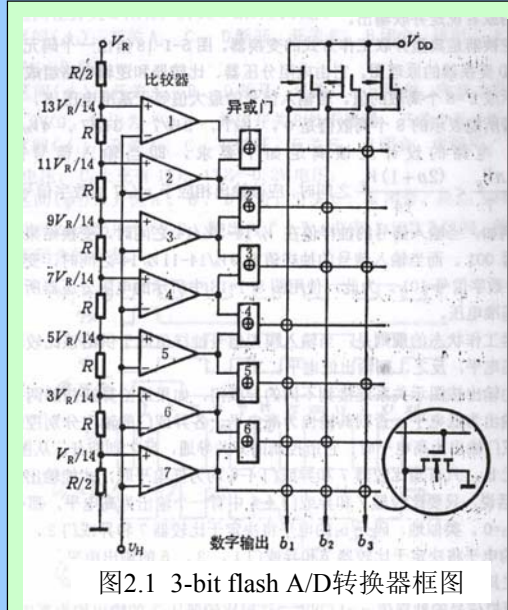
D/A转换器

- II 几种基本结构 D/A
- II 自校准 (calibration) D/A

A/D 转换器

(一) 全并行结构 (flash) A/D

1. 组成及原理



- 优点：速度快！（全并行、不需采样-保持电路）
- 缺点：
 - 硬件开销大！（ 2^m-1 个比较器、功率、面积）
 - 非理想特性（参考电压的dc、ac偏差、非线性输入电容、模拟输入端回程噪声、易受毛刺和采样点的影响）

2. 阶梯参考电路的DC和AC弯曲 (bowing)

- 双极型比较器的输入偏置电流导致参考电压的DC弯曲 (与比较器数量平方成正比)

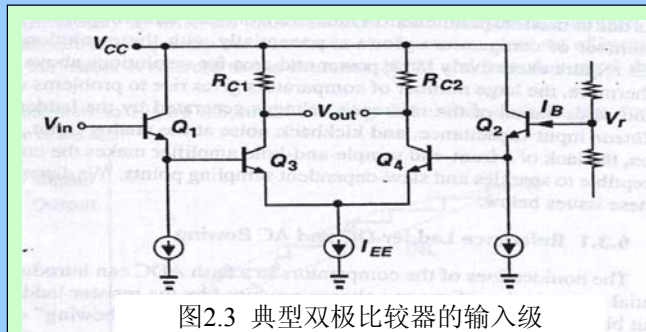


图2.3 典型双极比较器的输入级

解决办法: 沿阶梯在一个或多个节点处注入适当电流 (跟随 I_B)

- 比较器的输入端的馈通电容引起瞬时弯曲 (ac) (与比较器数量平方成正比)

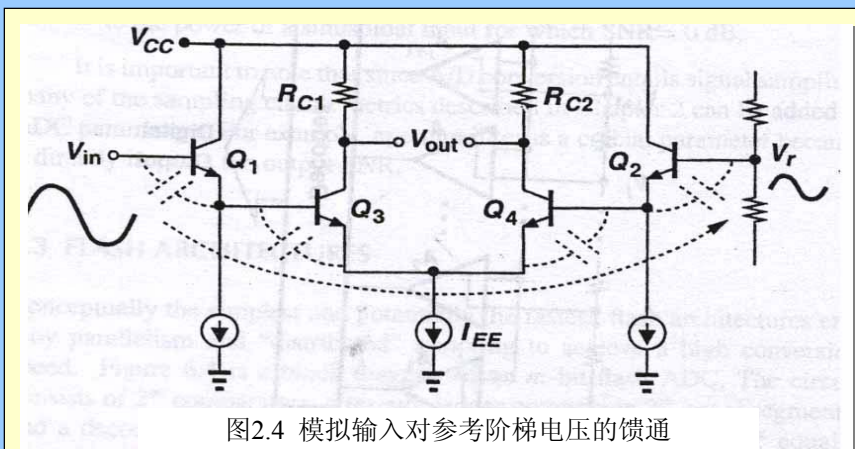


图2.4 模拟输入对参考阶梯电压的馈通

解决办法: 降低阶梯电阻的单位电阻 (代价: 功耗大, 布线困难)

- CMOS flash 中比较器输入端的开关电容引起瞬时弯曲 (ac)

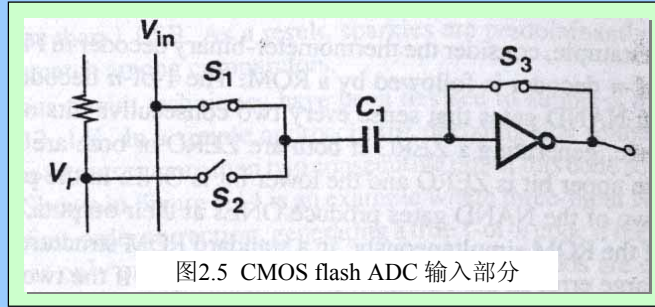


图2.5 CMOS flash ADC 输入部分

- 采样模式: S_1 和 S_3 通, S_2 断。

反向放大器工作在线性区, V_{in} 采样在 C_1 中。

- 比较模式: 只有 S_2 通。输出与 $V_{in} - V_r$ 成正比。
- 开关电容等效为 V_{in} 与 V_r 之间的电阻。
(因为: C_1 比放大器输入电容大得多)

\therefore 引起AC弯曲

3. 非线性输入电容

C_{in} 是输入电压的函数, 其非线性在采样信号中引入谐波失真。

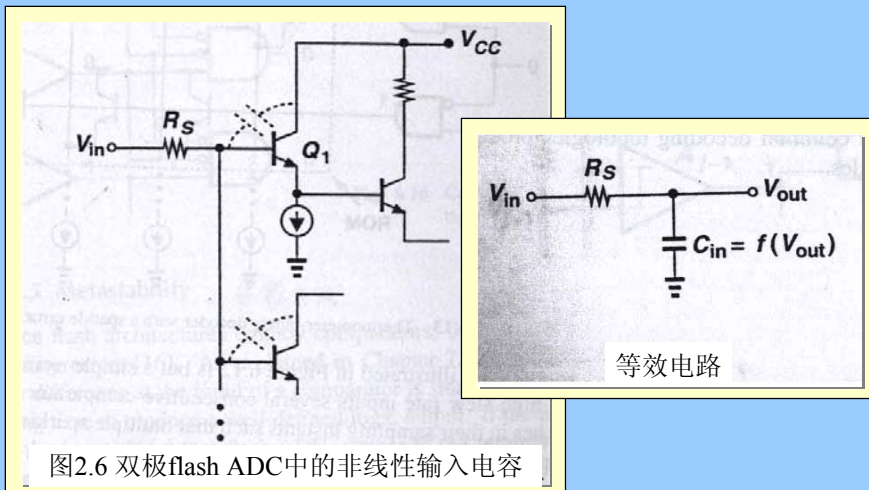


图2.6 双极flash ADC中的非线性输入电容

等效电路

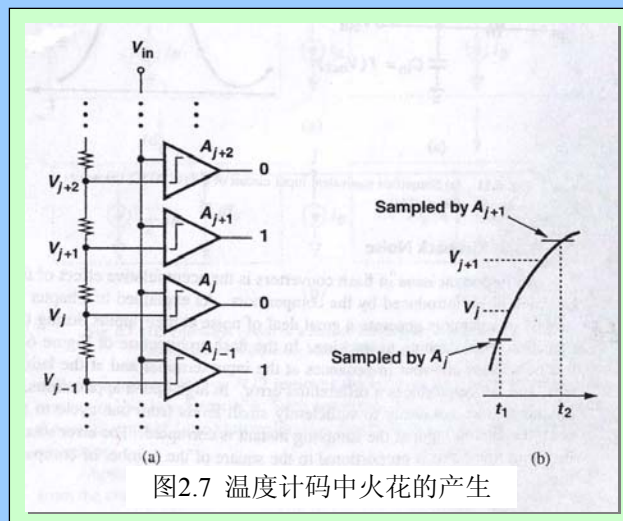
4. 回程噪声 (kickback noise)

所选通的比较器在从锁存到跟踪期间，其输入中产生的大量噪声，如果到下一个周期没有衰减到足够小的水平，则引入回程误差。与比较器数量的平方成正比。

5. 温度计码中的火花码 (sparkle in thermometer code)

- 原因：
- 高摆率输入、
- 比较器的失配（直流失调、时间失配）

火花码的出现给常规解码带来困难，使其产生明显错误



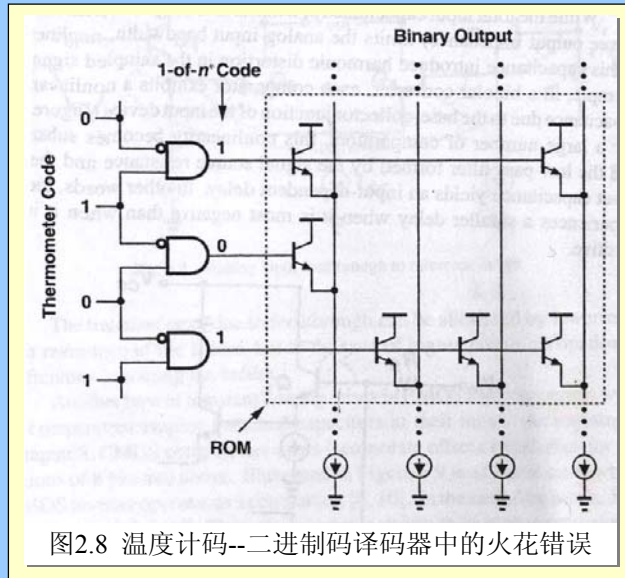
火花码的出现给常规解码带来困难，使其产生明显错误！

– 1 of n译码器：

测量温度计码
的每两个连续位。

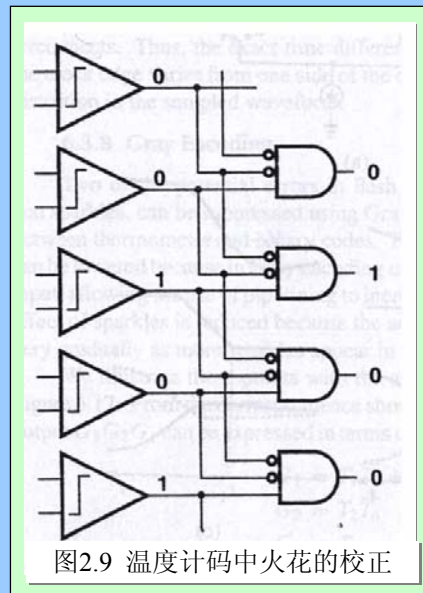
若

- 均为0或均为1，
则产生0；
- 高位为0低位为1，
则产生1。
- 正确输出：1001
- 错误输出：1111
- 误差几乎为
满量程的一半 !!!



– 火花码的抑制

- 当温度码中只有一个火花码时，
产生正确的1/n码。
- 更复杂的方法见
文献[13,14,15]



6. 亚稳定性 (metastability)

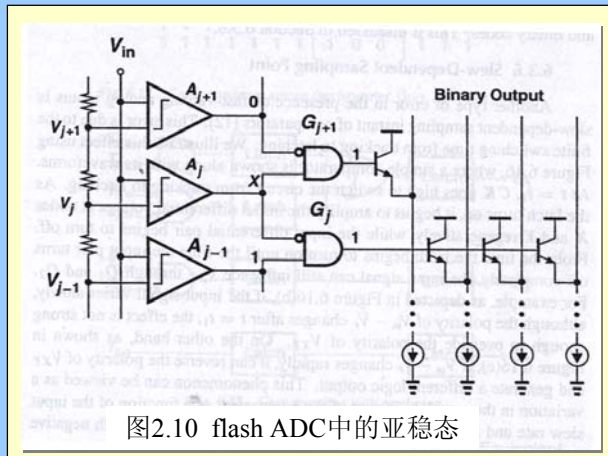
由于flash结构需要比较器，因此易出现亚稳定性误差。

当比较器输入差别较小时，就会出现亚稳定性，使电路需要较长的时间才能产生稳定的逻辑输出。

如果ADC输入信号的瞬时值与其中一个比较器的参考电压值很接近，则这个比较器将在较长时间内不确定，可能会对某种转换带来错误的数字输出。

例如：

- 其中比较器 A_j 处于亚稳态。
- A_j 为1或0，分别对应输出0111, 1000。
- 若 A_j 输出不确定，有可能 G_j 将其译作0，而 G_{j+1} 将其译作1，则输出为1111！



注意：当亚稳态发生时，处于亚稳态的比较器输出的最终值并不是关键，而其达到逻辑值的延时才是引起实质性错误的原因。

- 亚稳态误差的消除方法：
 - 在每个比较器后加更多的锁存，从而允许更长的重建时间。（功耗大）
 - 在温度计码与二进制码之间使用Gray码。

7. 与摆率有关的采样点 (slew-dependent sampling point)

- 原因：比较器从跟踪到锁存的开关时间。
- $T=T_1$ 时, CK变高, 将电路从跟踪切换到锁存。
- 从锁存开始接通到输入对完全关断这段时间里, 输入信号仍然能通过 Q_1 和 Q_2 影响 V_{XY} 。
 - 如果输入信号变化慢, 则不足以改变 V_{XY} 极性;
 - 如果输入信号变化快, 则改变 V_{XY} 极性, 而生成不同的逻辑输出。

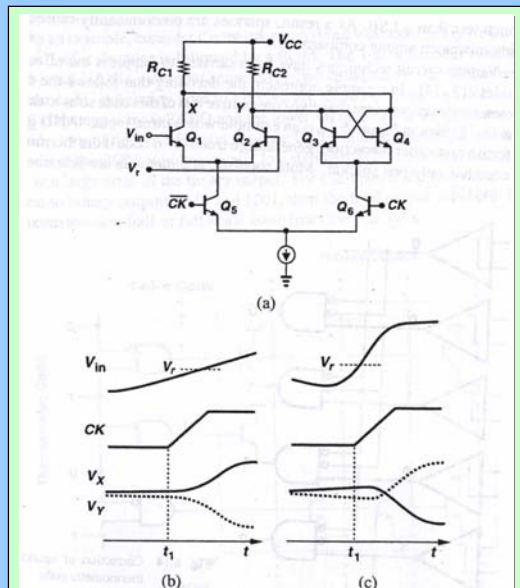


图2.11 输入高、低摆率下的双极比较器

- 比较器在采样瞬间的变化可看作是输入摆率的函数，并引入了奇次谐波。
- 降低误差的办法：
 - 时间转换速率明显高于模拟输入最大摆率。
 - 在大芯片中，对时钟小心布线，并注意其负载所加的缓冲。

8. 时钟抖动和漂移（clock jitter and dispersion）

- 时钟抖动
 - 当模拟输入具有很高摆率时，所有的采样电路的 SNR 都会降低。这是由于采样指令时钟的抖动！所有类型的 ADC 均不例外！
 - 如果在采样点由于抖动引起的时间偏差期间内，输入模拟量的变化小于 1 LSB，则这种抖动可以忽略。对于满量程模拟输入 $V_{in} = A \sin 2\pi f t$ ，最大变化率是 $2\pi f A$ ，则

$$2\pi f \Delta t A < 1 \text{ LSB}$$

$$< \frac{2A}{2^m - 1}$$

其中 Δt 表示时钟抖动
 m 是分辨率

$$\Delta t < \frac{1}{\pi f 2^m}$$

(粗略快速估算公式)

- 时钟偏移

- **flash** 结构的分布特性 (**distributed nature**) 产生的独特问题。在只有单前端采样—保持放大器的结构中不存在。
- 由于模拟信号和时钟在较大的**ADC**芯片中必须经过很长距离。不同的负载会经历不同的延时。而且由于互连线的分布电阻和电容,使方波的转换变慢,即使是相同的负载,时钟波形(理想方波)也会发生改变—偏移。
- 所以,模拟信号和时钟边缘之间的确切时间差别从芯片的一边到另一边是不同的。
- 在采样波形中引起谐波失真。

9. 格雷编码 (Gray encoding)

- **flash** 转换器中的两种可能的错误,即亚稳态和火花码,可以通过在温度计码与二进制码之间使用**Gray**码作为中间步骤来得到抑制。
- 亚稳态的可能性会降低。因为在**Gray**编码中,信号不会多于一个输入,允许使用流水线来增加重建时间。
- 火花码的影响减小了。因为当多个火花码在温度计码中出现时,**Gray**码的精确度是逐渐降低的。

举例：

Thermometer							Gray			Binary		
T_1	T_2	T_3	T_4	T_5	T_6	T_7	G_3	G_2	G_1	A	B	C
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	1	0	0	1
1	1	0	0	0	0	0	0	1	1	0	1	0
1	1	1	0	0	0	0	0	1	0	0	1	1
1	1	1	1	0	0	0	1	1	0	1	0	0
1	1	1	1	1	0	0	1	1	1	1	0	1
1	1	1	1	1	1	0	1	0	1	1	1	0
1	1	1	1	1	1	1	1	0	0	1	1	1

图2.12 相应的温度计码、Gray码及二进制码

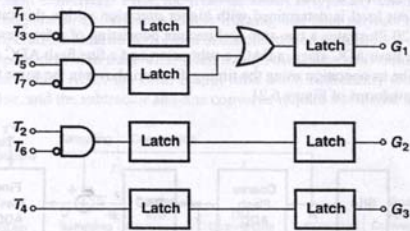


图2.13 带有流水线的Gray编码

	Thermometer Code	Gray Code	Equivalent Decimal Output
No Sparkle:	11111111111100	1011	13
One Sparkle:	11111111111010	1000	15
Two Sparkles:	11111111111001	1010	12

图2.14 出现火花码时的Gray编码

Flash 总结

Flash A/D转换器的性能主要取决于组成它的比较器。这种结构在现有工艺条件下的可行性，有赖于可达到的比较速度和精度。

所以，双极型晶体管的高速度和高匹配度使得双极工艺在flash ADC中占主导地位。

CMOS器件，由于跨导低，失配大，尚不能提供完美的性能。

然而，高速CMOS ADCs 仍然是很需要的，因为它可以与CMOS信号处理环境集成。

(二) 两步结构 (two-step) A/D

- **flash**的局限性：
功耗、面积、输入电容与分辨率成指数函数增长。
不适于实现8bit以上的转换器。
- 两步结构以速度为代价换取了功耗、面积及输入电容的降低。一般用于10bit以上。
- 两步A/D首先由一个粗分（coarse）flash A/D对输入做一个粗略的估计，在输入电平附近确定一个小的电压范围；然后，再由一个更精细（fine）的flash A/D在这个范围内对输入进行转换。

1. 两步A/D的组成与原理

- 前端SHA
- 粗分ADC
- DAC
- 减法器
- 精细ADC

若每级分辨率 $m/2$ 位，则输出为 m 位。
(也可以其它组合，及冗余)

$$V_C = V_A - V_B$$

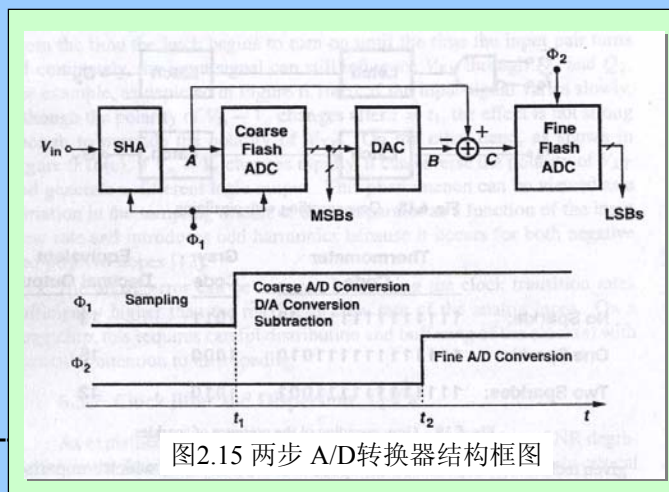


图2.15 两步 A/D转换器结构框图

- 前端SHA的作用：
减少对输入信号最大允许摆率的限制。

因为如果模拟输入在转换模式时变化很快，则被一级数字化的信号电平就会与减法器所检测到的信号不相等。

- 由于SHA需要保持建立时间，粗转换不能立刻进行。

此期间休止或在完全建立之前选通，并对误差进行数字校正。

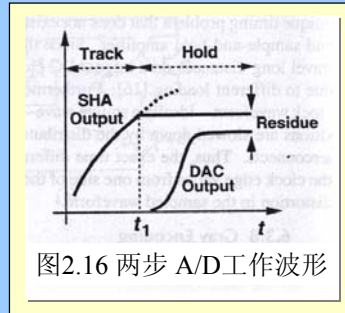


图2.16 两步 A/D工作波形

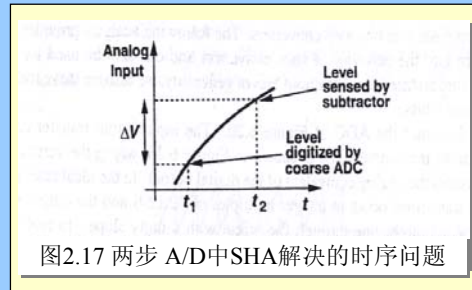


图2.17 两步 A/D中SHA解决的时序问题

- SHA的线性和动态范围直接影响整个系统
- 与flash结构的速度比较

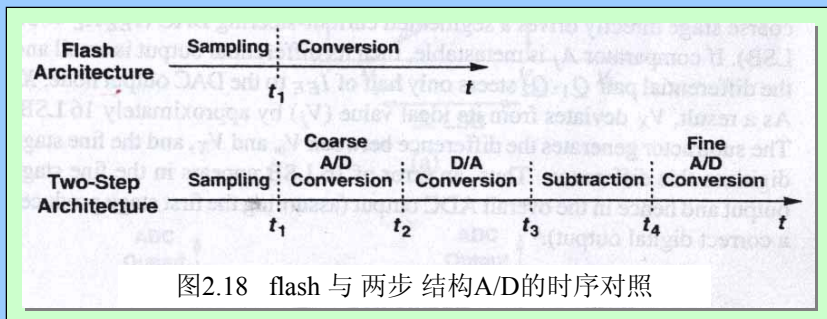


图2.18 flash 与 两步 结构A/D的时序对照

- 减法器与精细A/D级间的接口

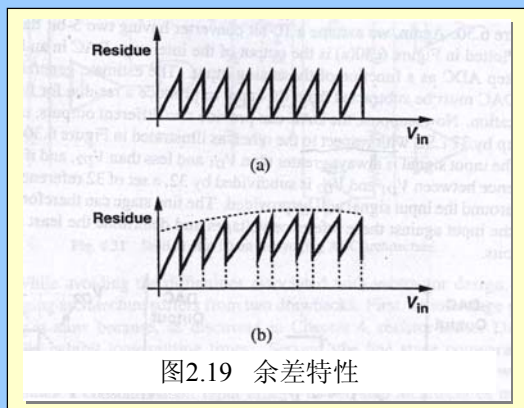
- 由于两步结构通常用于10bit以上情况，如果接口不需要任何放大，则精细级比较器必须正确处理细小的电压。
- 如果减法器后面跟一个增益为A的放大器，则精细级所需的分辨率可以在同等情况下放宽，但增加了延时，并带来了非线性。A必须严格控制，以使减法器的满量程输出与第二级的满量程参考电压相匹配。

- 亚稳态带来的误差

如果SHA的输出与粗分级中的一个比较器的参考电压非常接近，则这个比较器就会在很长时间内输出不确定的逻辑值。这个误差可能会严重地影响到DAC产生的模拟估算值，从而给整个数字输出带来较大的错误。

2. 非线性的影响（也适于其它多步结构）

- 量化误差特性可归纳为余差特性
- 实际特性中的增益误差表现为沿非水平直线变化的峰值，DNL 改变了转换点，INL 表现为不在一条直线上的峰值，失调表现为垂直偏离。



- 粗分A/D级的输出：
 - 增益误差为零。（传输特性定义为阶梯端点电压）
 - 存在DNL、INL和失调。（比较器的失调，阶梯电阻失配）
- 级间DAC的输出：
 - 电阻阶梯型与电流控制型DAC：DNL、INL和增益误差（如果它的满量程范围与第二级的不严格相等）。
 - 电容型DAC：DNL、INL、增益误差和失调（预充电开关在输出引入失调）。
- 级间减法器：
 - 失调
 - 增益误差（严重，因为它引起整个转换器的DNL）
 - 失码（missing code）（由增益误差引起）

举例说明：

- 典型减法器的增益比单位增益略低。
- 若 V_{in} 比 V_j 略小，减法器输出为30LSB（而不是32LSB）。第二级将这个差数字化，结果加在第一级输出 V_{j-1} 。
- 若 V_{in} 比 V_j 略大，减法器输出接近于0，总的输出等于 $V_j = V_{j-1} + 32LSB$ 。
- 在 $V_{in} = V_j$ 点处出现跳跃。
- 使ADC不可能产生与31LSB相当的数字输出，这就叫“失码”（missing code）。

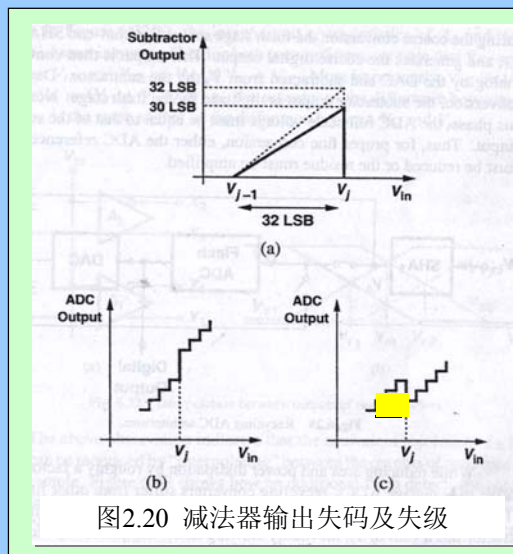


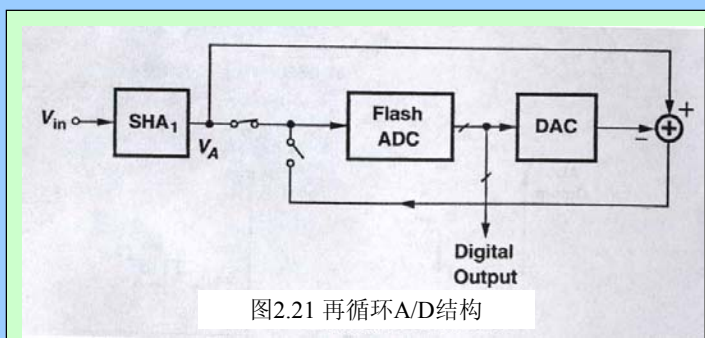
图2.20 减法器输出失码及失级

- 当减法器的增益比理想值大时，ADC表现出失级（missing level）。

避免失码与失级的方法：

使减法器的满量程输出与第二级的满量程输出相等。即使第二级的满量程参考电压具有与减法器相等的增益误差，这可以通过将第二级的满量程参考电压用一个减法器描述的电路来实现[9, 29]。

3. 两步再循环结构（recycling）



- V_A 产生粗略的数字输出，这个输出再由DAC转换成模拟量并由减法器从 V_A 中减掉。
- 在精细转换时，ADC满量程电压必须与减法器的输出相等。
- 为得到合适的细转换，需将ADC参考电压降低或将余差放大。

与两级ADC相比：

- 面积、功耗降低约二分之一。
- 但是
 - 必须使用低失调比较器（减法器增益为1时），降低速度；
 - 若用高增益减法器，则增加级间延时。

4. 两步分段结构（subranging）

- 一种不需要显式减法器的两步结构。
- 粗分级识别输入电压附近范围的参考电压，并对其再进行分压。精细级将输入电平与这一套新的参考电压进行比较。

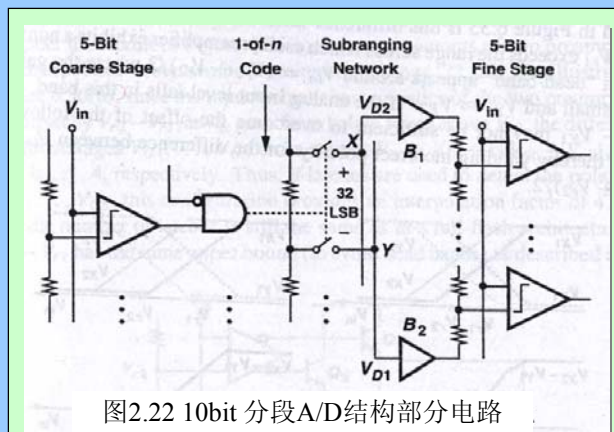


图2.22 10bit 分段A/D结构部分电路

分段ADC与两级ADC相比：

- 优点：避免了减法器设计的困难
- 缺点：
 - 级间处理慢。
 - 精细级比较器必须工作在输入信号的整个公共模式范围内，同时保持恒定的小的输入失调。

在典型两步ADC中，可将粗分级的参考电压阶梯用作级间DAC[18]。（节省面积与功耗；但引入粗分级比较器的回程噪声，影响DAC输出敏感度，从而增加建立时间。

（三）插值 (interpolating) 与折叠 (folding) 结构A/D

- 保持flash结构的“一步”特性。（不增加SHA）
- 使flash结构中的大电容、大功耗、大面积及对时序要求严格等问题得到缓解。
- 在双极与CMOS技术中应用。

1. 插值 (interpolating) 结构

- 为降低 flash ADC 输入端的前置放大器的数量，模拟输入与每一个参考电压之间的差值可在前置放大器输出被量化。

- 假设两个放大器均为零失调。

则：当 $V_{in}=V_{r1}$ 时，

$$V_{X1}=V_{Y1};$$

当 $V_{in}=V_{r2}$ 时，

$$V_{X2}=V_{Y2};$$

当 $V_{in}=V_m=(V_{r1}+V_{r2})/2$ 时，

$$V_{X2}=V_{Y1}$$

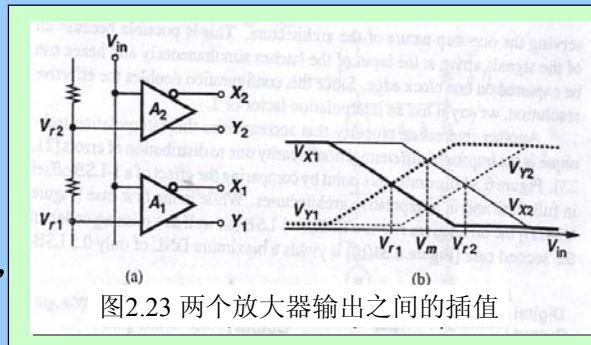


图2.23 两个放大器输出之间的插值

也就是说， V_{X2} 与 V_{Y1} 的差的极性与 V_{in} 和 V_m 的差的极性相同！

- 上述观察表明，可以通过在前置放大器输出之间进行“插值”增加flash级的等效分辨率。
- 与简单flash级相比，这种方法使前置放大器数量减半，但锁存器的数量保持相同。
- 明显减少了 flash ADC的输入电容、功耗和面积；同时保留了flash的一步特性。

- 右图结构使分辨率加倍，称插值因子为2。

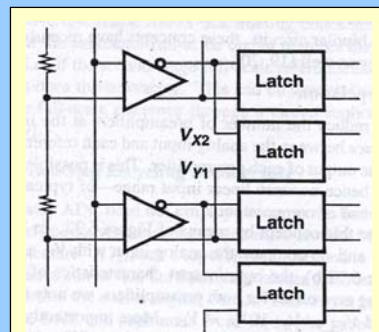
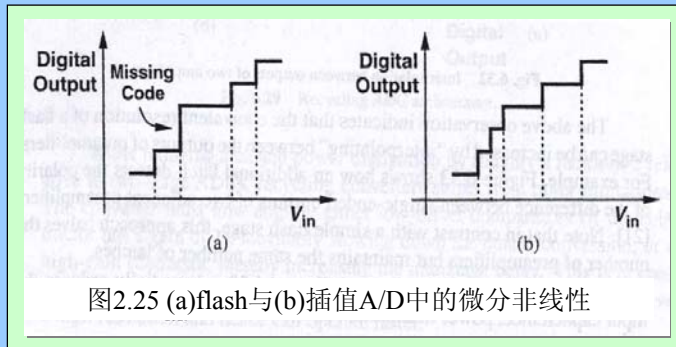
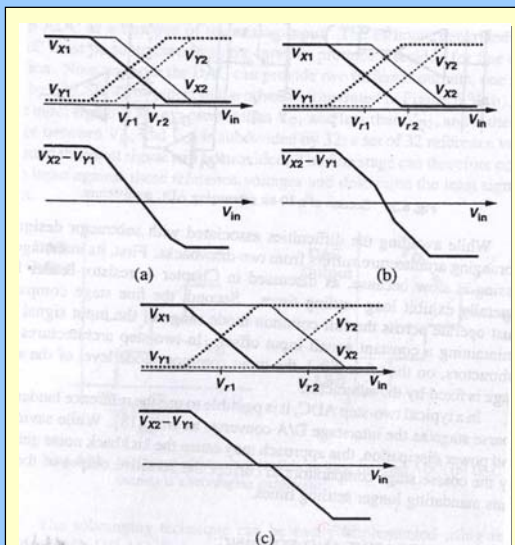


图2.24 flashA/D中的插值

- 插值技术改善了由分配误差引起的差分非线性。



- $V_{r2} - V_{r1}$ 时与前置放大器的线性区的关系
- 在 $V_{in} = (V_{r1} + V_{r2}) / 2$ 附近出现了“死带” (dead band) ; 这里增益很小, 且 $V_{Y1} = V_{X2}$
- 如果模拟输入落在该带内, 则 $V_{X2} - V_{Y1}$ 可能不足以克服后面锁存器的失调, 将会产生 V_{in} 和 $(V_{r1} + V_{r2}) / 2$ 之差的错误极性!



- 插值概念的延伸——

在flash转换器中的每两个连续参考电压之间产生更多的量化级别，进一步减低输入前置放大器的数量。

- 两放大器的特性 偏移

$V_{r2} - V_{r1}$ ，当 V_{in} 从 V_{r1} 增到 V_{r2} ，差分输出电压 V_{o1}, \dots, V_{o5} 在 $V_{in} = V_{r1} + k(V_{r1} + V_{r2})/4$ 处经过0, $k=0, \dots, 4$ 。

- 如果用锁存器来 检测 V_{o1}, \dots, V_{o5} 的极性，该结构的插值因子为 4。

- 锁存器的数量与全flash相同。

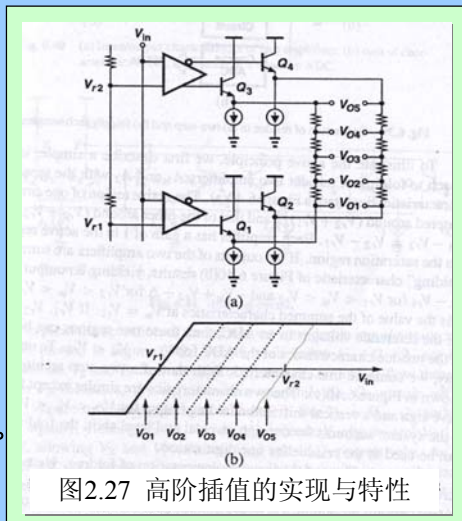


图2.27 高阶插值的实现与特性

- 多插值技术带来的非线性

(1) 电阻串及后面的锁存器的输入电容在信号路径上引入了一个时间常数，所以带宽减小。且与插值因子的平方成正比。当该因子超过4时，就变得很明显。

(2) 随着 V_{o1} 和 V_{o5} 的变化，驱动电阻串的射极跟随器的偏置电流也变化，从而改变基极-发射极电压并引起输出电压过零点之间的不均匀。对于输入来讲，等效于差分非线性。

- 解决办法；

- 第一个问题可以通过减小插值电阻的值来得到缓和，但代价是使第二个问题更加恶化或者增加功耗。

- 在插值结构中使用大量放大器。大部分流过电阻串电流是由放大器提供。这样参考电压与输入级接近的放大器就不必为电阻串提供电流。

为了在插值阵列两端产生这种效果，可以在两端均加上一些虚设放大器和插值电阻。

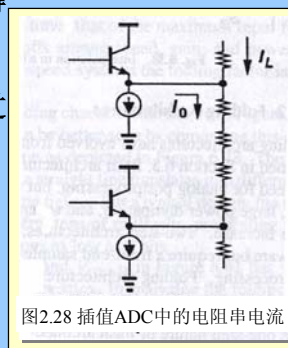


图2.28 插值ADC中的电阻串电流

Example:

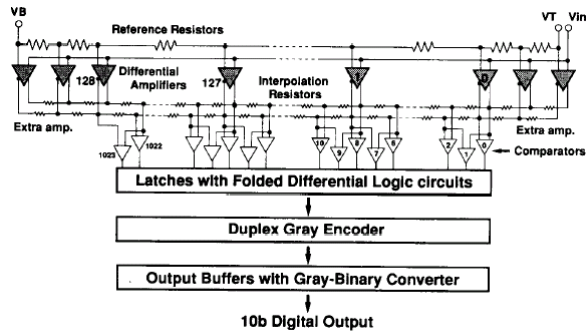


Fig. 3. Block diagram of the interpolated-parallel A/D converter.

高等模拟集成电路考试地点时间

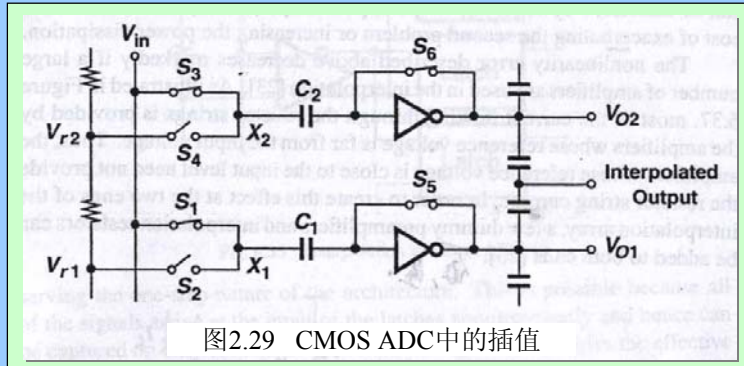
四教4103

1月7日（二）下午2:30

• CMOS ADC中的插值技术

- 因为简单CMOS差分对的失调大、增益低，所以，插值方案由自零（autozeroed）放大器 and 电容实现更好。
- 采样/复位模式： S_1 和 S_3 ， S_5 和 S_6 接通。模拟输入被 C_1 、 C_2 采样。
- 计算（evaluation）模式： S_2 、 S_4 接通。节点电压分别变为 $V_{in}-V_{r1}$ 和 $V_{in}-V_{r2}$ ，该电压被每一个反向放大器放大并由插值电容与相邻的电压相结合，产生插值因子2。

采样与计算模式可以采用流水线方式来提高速度。



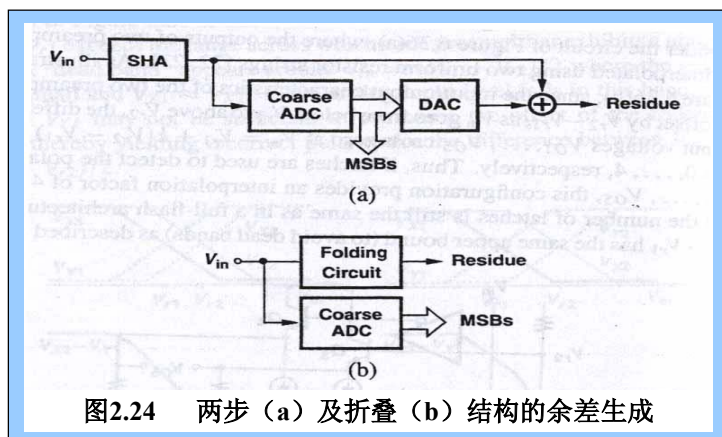
2. 折叠 (folding) 结构

• 从 flash 及两步ADC 发展而来：

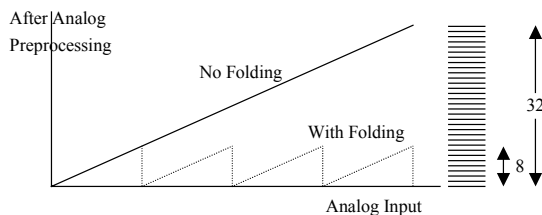
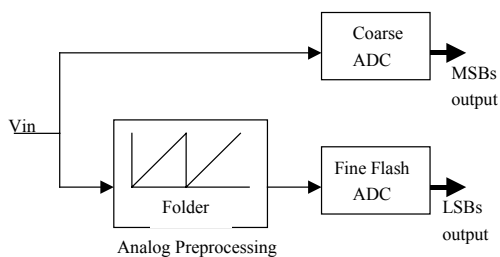
- flash 结构：一步工作，不需模拟后处理；但硬件代价大，时序问题严重。
- 两步结构：硬件少；但需前端采样—保持电路和模拟后处理，两步延时。
- 折叠结构：进行模拟预处理来减少硬件，同时保留flash的一步特性。

- 基本原理

- 通过模拟预处理产生余差电压，并随后进行数字化，获得最低有效位（LSB）。
- 最高有效位（MSB）通过与折叠电路**并行**工作的粗分flash级得到，几乎在对信号采样的同时对余差采样。



例：5位折叠与插值ADC的原理方框图



• 折叠方法基本思想

- 放大器 A_1 、 A_2 ：饱和区增益为0，放大区增益为1，分别以 $(V_{r2}+V_{r1})/2$ 和 $(V_{r3}+V_{r2})/2$ 为中心，且 $V_{r3}-V_{r2}=V_{r2}-V_{r1}$ 。

- A_1 、 A_2 的输出相加，得到“折叠”特性。

- 当 $V_{r1} < V_{in} < V_{r2}$ 时，

输出为 $V_{in}-V_{r1}$ ；

当 $V_{r2} < V_{in} < V_{r3}$ 时，

输出为 $-V_{in}+V_{r2}+\Delta$ 。

其中 Δ 是 $V_{in}=V_{r2}$ 时两特性曲线相加的值。

- 如果 V_{r1} 、 V_{r2} 、 V_{r3} 是ADC中的参考电压，则将其看作是 $V_{r1} < V_{in} < V_{r3}$ 时的余差特性。

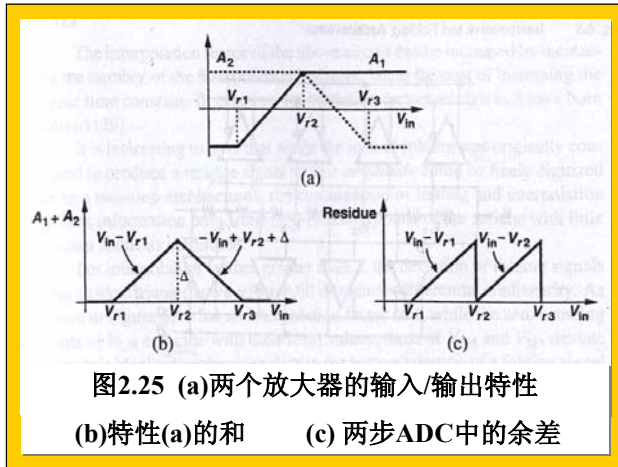


图2.25 (a)两个放大器的输入/输出特性

(b)特性(a)的和

(c) 两步ADC中的余差

- 与两步特性比较：除折叠输出在 $V_{r2} < V_{in} < V_{r3}$ ，区间的极性为负，且有垂直偏移外，是基本相似的。

- 如果解决了反向极性和电平移动，折叠输出就可用于精细级数字化的余差。

• 电路实现

四个差分对处理 V_{in} 分别和 V_{r1} , ..., V_{r4} 之间的差。

- 输出电流在节点X和Y相加。

- 注意：相邻级的输出是反极性相加的。

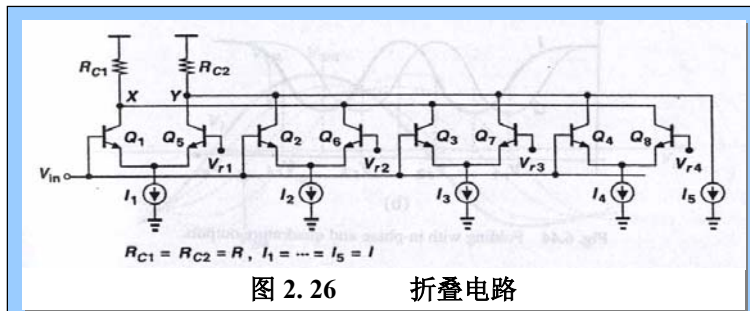


图 2.26 折叠电路

分析:

- 当输入低于 V_{r1} , 过 R_{c1} , I_1 、 I_3 、
 - 随着 V_{in} 增加, Q_1 与
 - 当 $V_{in} = V_{r1}$: Q_1 与
 - 当 V_{in} 超过 V_{r1} 几个 V_Y 分别达到最小、
- $V_X - V_Y$ 的折叠点在 $(V_{r2}+V_{r1})/2$, $(V_{r3}+V_{r2})/2$ 等等。
 - 当 V_{in} 从小于 V_{r1} 增到大于 V_{r4} , $V_X - V_Y$ 的斜率符号改变四次。
——折叠因子为4。

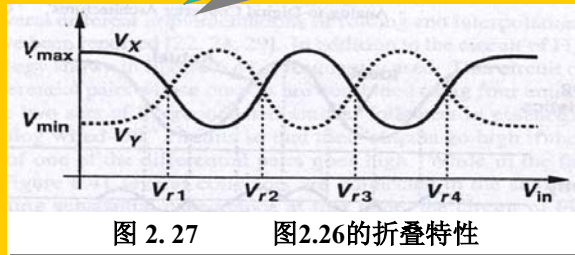


图 2.27 图2.26的折叠特性

• 折叠方法的优缺点

- 优点: 简单、速度快; 省去了采样-保持放大器、DAC、减法器。
- 缺点:
 - 当折叠因子为 n 时, 带宽需为输入最大频率的 n 倍。
(因为输入从0增到满量程一次, 折叠输出从 V_{min} 到 V_{max} n 次。所以, 高速应用时, 折叠因子一般取2~4。)
 - 严重的非线性。(典型设计中, 最大偏差可达几十毫伏。限制了简单折叠的应用!)

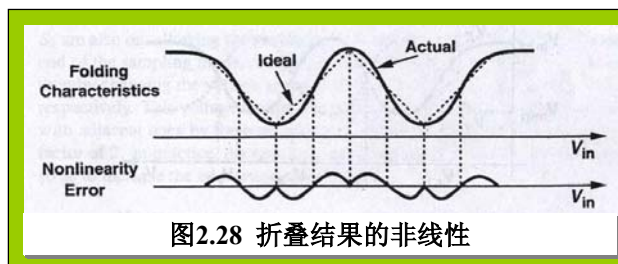


图2.28 折叠结果的非线性

- V_{rj} 到 $V_{r(j+1)}$ 的差对输入/输出特性影响严重。

因为

- 折叠分析中的假设是 V_{rj} 与 $V_{r(j+1)}$ 的差足够大；
- 对插值来说，这个差不能任意大，否则出现死带。
- 优化插值为 $5 V_T$ 。

3. 插值折叠 (folding with interpolation)

- 基本思想：

利用折叠特性又不带来额外非线性。

- 折叠特性中的过零点处的非线性为 0。
- 只考虑这些过零点，则 V_{in} 与 V_{rj} 之差的极性可被正确确定。
- 采用插值的办法产生额外的过零点来解决低位。

- 双折叠电路

- 将图2.26中的折叠电路进行重复，并将其参考电路移动 $(V_{r(j+1)} - V_{rj}) / 2$ 。
- 特性 (I) 称为“同相 (in phase)”输出，特性 (Q) 称为“正交 (quadrature)”输出。

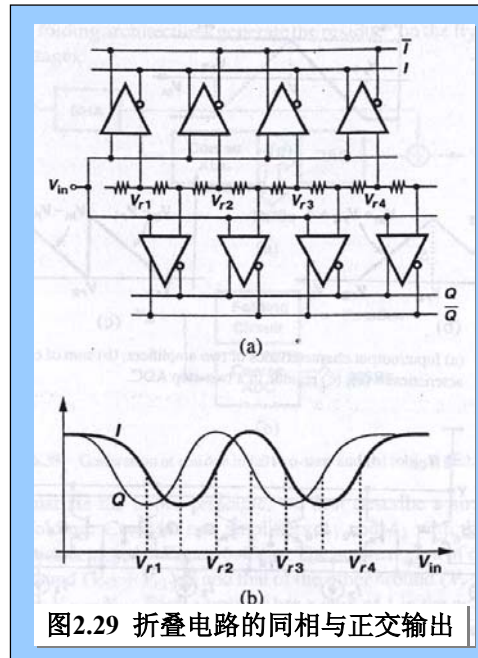


图2.29 折叠电路的同相与正交输出

- 插值网络

- 折叠电路的输出I和Q加了四个射级跟随器和一个电阻网络，产生额外的差分电压 V_{ac} 和 V_{bd} ，引入插值因子 2。
- 可通过增加插值电阻来增加电路的插值因子。

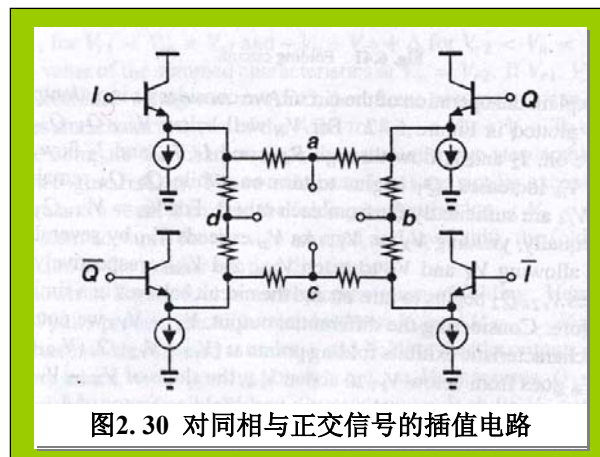


图2.30 对同相与正交信号的插值电路

- 对于插值因子大于2的电路，折叠信号与理想三角波的偏差会带来差分非线性。
 - 在 $V_{r(j+1)} - V_{rj} \approx 5 V_T$ 时DNL达最小。
 - 可通过非线性插值来减小非线性误差，即在插值网络中使用不相等的电阻。
- 粗分级与折叠放大器的时序误差。
 - 由于这两个电路的固有差别，在模拟信号中引入了不相等的延时，表现为对后面锁存器输入的微小差别。使粗分级可能会“指向”折叠特性的错误循环。
 - 常采用不同的校正技术消除。 [24, 25]

(四) 流水线结构A/D (pipelined)

- 流水线概念
 - 每一级对一个采样进行一个操作，并为后面的采样器提供输出，当采样器接到数据，对下一个采样开始相同的操作。这样，在任意一个给定时间里，所有级都在同时处理不同的采样值。
 - 输入输出的速度只决定于每一级的速度和下一级采样器的接收时间。（每一级都有采样-保持功能）

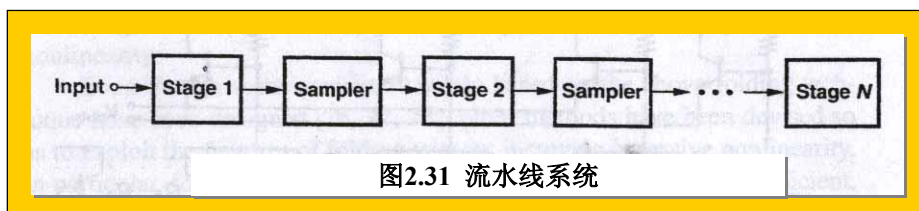
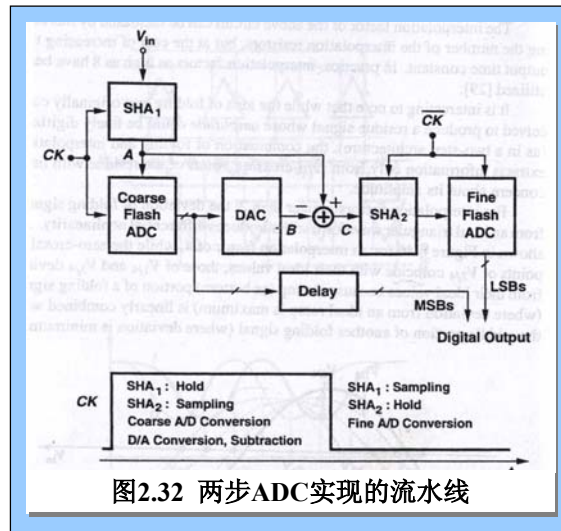


图2.31 流水线系统

- 举例：用两步ADC实现的流水线结构

- 由于在减法器 and 精细级之间放了一个SHA，则余差在精细转换开始之前被保存。这样，前端SHA、粗分ADC、级间DAC及减法器可以在精细ADC进行前一个操作时开始处理下一个采样，从而具有加速转换的潜力。

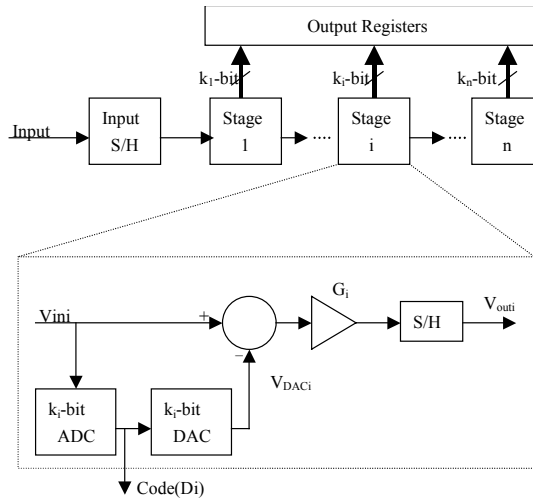


- 一般流水线结构

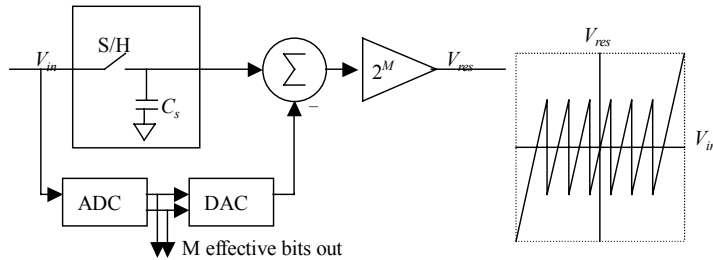
- 特点

- 速度快！（同时工作）
- 形式多样。（从flash级到每级一位）
- 理论上讲，功耗和面积比全flash结构要小，且随位数线性增加（而不是指数）。实际中，运放使用大电流获得宽动态范围的高速度。
- 容易用CMOS和BiCMOS工艺实现。（简单的采样开关和高输入阻抗器件构成的1bit结构已发展到CMOS工艺。（12bit, 65M; 10bit, 100M）

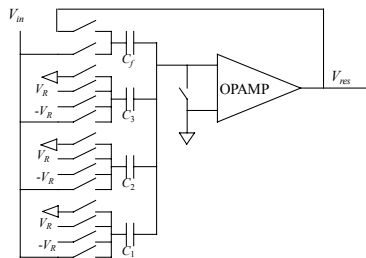
流水线结构ADC的原理框图



流水线ADC子级转换电路



典型的采样/保持/DAC/减法/增益功能块(MDAC)



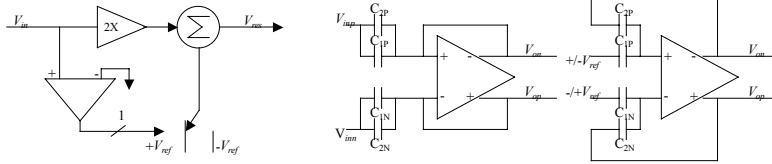
有效带宽

$$BW = f_b \cdot GBW$$

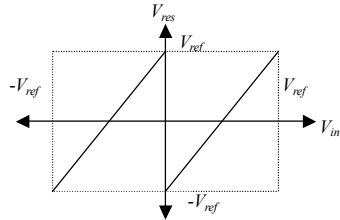
若速度优先, 则M=1

1-bit分辨率的流水线级电路

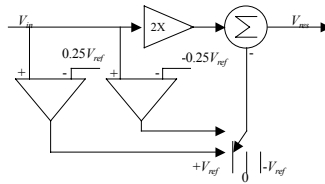
级间放大器 (MDAC)



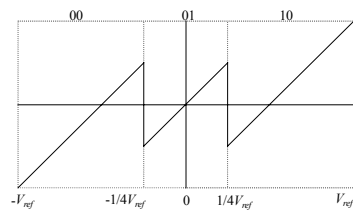
理想的每级1-bit输入输出关系



1.5-bit分辨率转换级

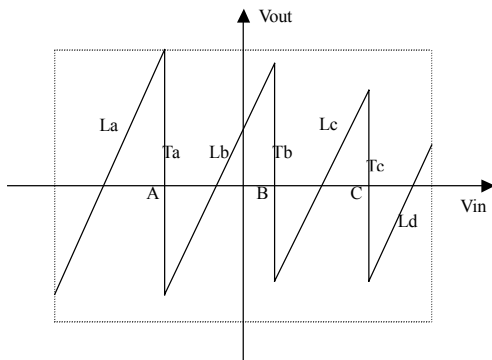


1.5-bit转换级输入输出关系



电路非理想因素的影响

电容失配、有限运放开环增益等引起的级间增益的变化将改变线段La、Lb、Lc等的斜率；开关电荷馈通、运放输入失调将导致输入输出曲线在垂直方向的整体移动；比较器失调将使阶跃点A、B、C等在水平方向上移动；最后，D/A转换的非线性使得各个阶跃点处的阶跃高度Ta、Tb、Tc等各不相同



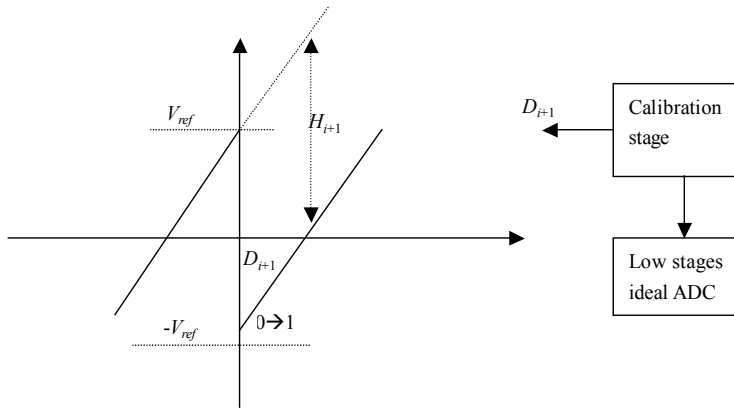
图：一个实际的流水线级电路输入输出关系

注：满足以下两个条件，ADC线性仍可校正：

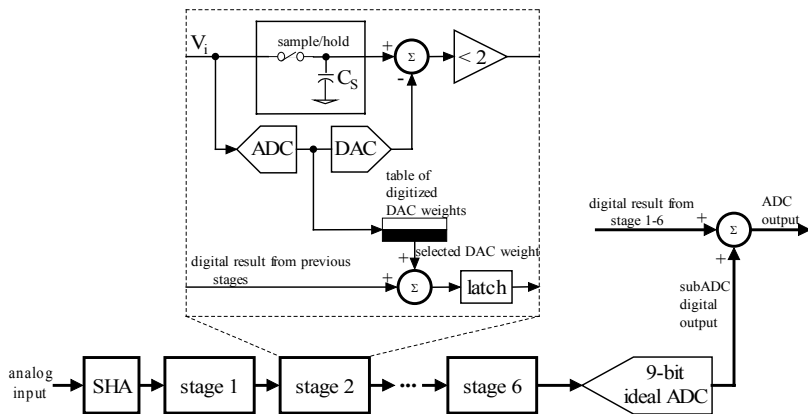
- 1) 整个输入电压范围中，La、Lb、Lc等是线性的且斜率相同（即各段增益相同）；
- 2) 最大输出电压在下一级正常输入范围($-V_{ref}$, $+V_{ref}$)之内。

失码与失级

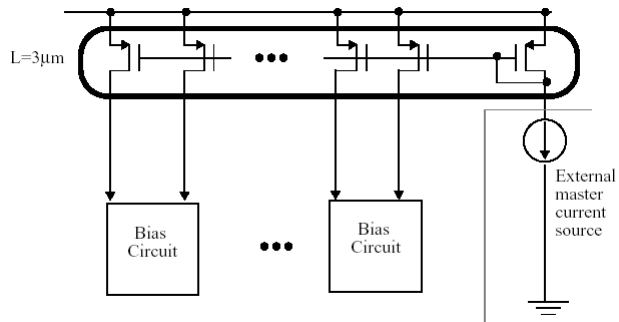
数字自校准原理



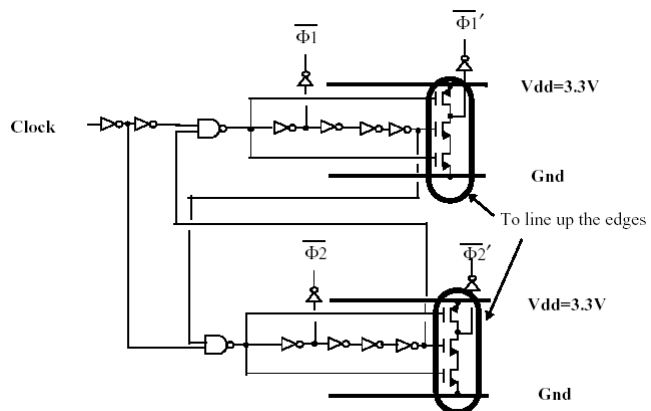
例：1-bit/stage结构的数字自校准



Building block (1)-----Bias Circuits



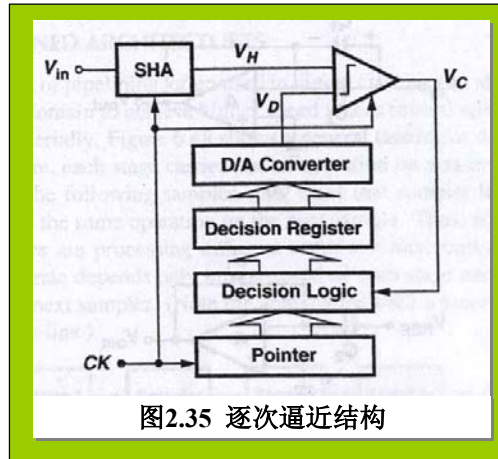
Building block (2)-----Clock Circuits



(五) 逐次逼近结构A/D (successive approximation)

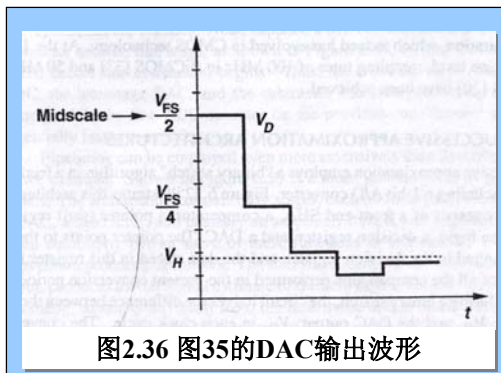
• 概念

- 采用了“二进制搜索”算法，反馈环中包含一个 1bit A/D转换器。
- 包括一个前端SHA，一个比较器，一个指针（移位寄存器），判决逻辑，判断寄存器，和一个DAC。
- 指针指向被判决寄存器中改变的最后一位，寄存器中所储存的数据是当前转换周期内进行的所有比较的结果。



• 特点

- 比较器的失调电压不影响整个转换器的线性度。（比较器可设计为高速工作）。
- 不需要显式减法器。
- 电路的复杂性和功耗一般低于其它结构。
- M bit 分辨率的逐次逼近结构比全flash 至少慢 M 倍。
- 转换器的性能主要取决于DAC。（非线性、速度）
- CMOS和BiCMOS技术的自校准能力和密度已使精度达18bit [38]。



(六) 交织结构A/D (interleaved)

• 概念

- 在以速度为根本目标的系统中，同样的A/D转换器可以在时间上进行交织以获得比简单flash更高的并行性。
- 图中在 n 个 m bit ADC之前，有 n 个采样-保持电路，由 CK_1, \dots, CK_n 控制。
- 多路选择器在适当的时间选择每一个ADC的数字输出得到每个采样的相应输出。

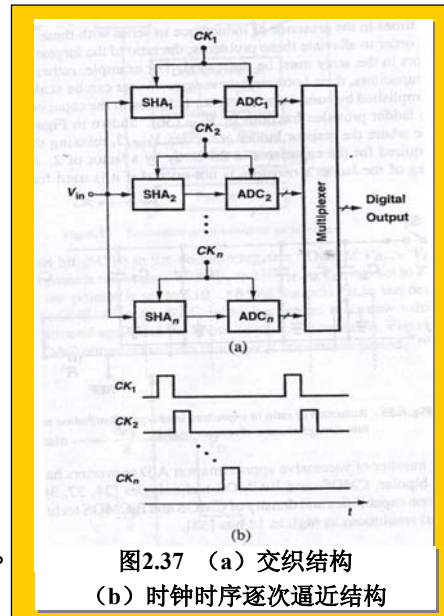


图2.37 (a) 交织结构
(b) 时钟时序逐次逼近结构

- ADC₁...ADC _{n} 可以各自采用任意结构，但全flash最常用，它可以有较高的转换速率。
- 只有当SHA获取信号的速度比ADC的转换速度快得多的情况下，这种结构才比简单flashADC具有优越性。
- 在获得高转换速率的同时，交织结构精度会降低。
(由于构成它的采样电路与A/D转换器之间参数的失配造成的。尤其是增益、微分及积分非线性，时序及失调参数的失配会在整个输出带来更高的噪声功率。)
- 在高速应用中具有潜力。采用CMOS工艺，使用4个交织结构已实现了8bit 85MHz ADC[43]。在8bit, 8GHz的数字示波器中使用16个500MHz的双极Flash。

(七) 过采样 $\Sigma\Delta$ A/D (oversampling sigma-delta)

• 概述

传统的高精度A/D变换器:

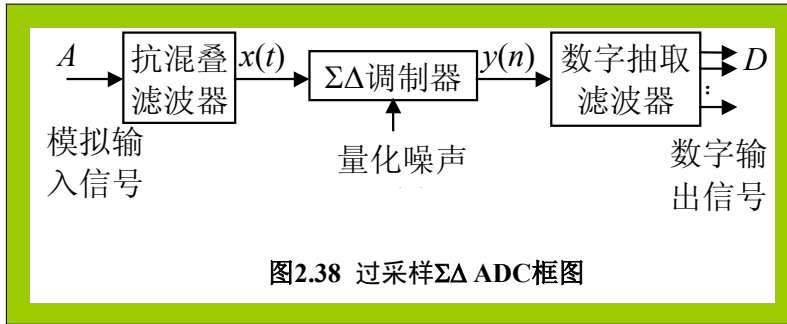
- 主要采用flash并行比较、逐次逼近、双斜积分等技术来实现。是以器件的高精度和电路的复杂性为代价的。
- 其模拟器件通常采用双极工艺，很难与大规模数字系统进行单片集成。
- 为了防止混叠噪声的影响，需要高性能的前端抗混叠滤波器，增加了对设计和工艺的要求。
- VLSI技术的发展使芯片电源电压进一步下降，模拟电路的信噪比恶化。
- 因此传统的A/D变换器难以与数字电路进行单片集成。

过采样 $\Sigma\Delta$ A/D:

- 采用过采样技术与 $\Sigma\Delta$ 调制器的噪声整形技术对量化噪声进行双重抑制，使基带内信噪比大大提高。
- 信噪比的提高，可使A/D变换器达到很高的精度。
由于A/D变换器的精度每增加1 bit，信噪比需提高约6dB左右：如信噪比为97dB即可达到16 bit的精度。
- 适于VLSI技术的发展，并且能以较低的成本实现高精度A/D变换。

采用过采样 $\Sigma\Delta$ 调制技术，大大缓解了对前置抗混叠滤波器的性能要求，使A/D变换器中数字电路的比例增加，模拟电路的比例减少，对模拟电路精度的要求降低。

- $\Sigma\Delta$ A/D变换器结构
 - 过采样 $\Sigma\Delta$ ADC框图

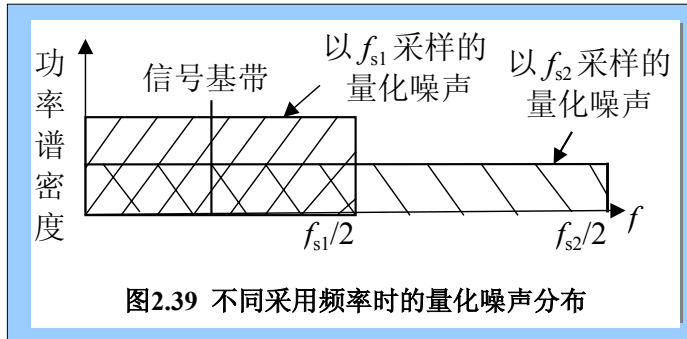


- $\Sigma\Delta$ 调制器的输入为经过前端抗混叠滤波器的模拟信号，输出为经过过采样 $\Sigma\Delta$ 调制的PCM数字码流。数字抽取滤波器的作用是滤除带外噪声，降低抽样频率。

- 过采样技术

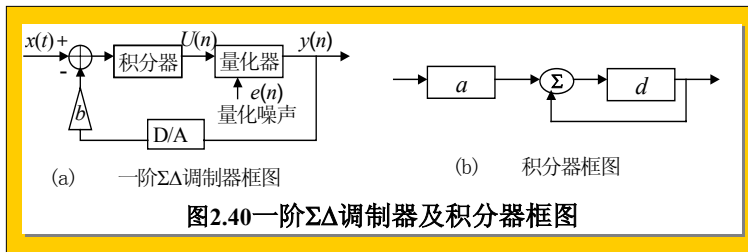
- 过采样是指以远远高于奈奎斯特采样频率的频率对模拟信号进行采样。
- 由信号采样量化理论可知，若输入信号的最小幅度大于量化器的量化阶梯 Δ ，并且输入信号的幅度随机分布，则量化噪声的总功率是一个常数，与采样频率 f_s 无关，在 $0 \sim f_s/2$ 的频带范围内均匀分布。
- 因此量化噪声电平与采样频率成反比，提高采样频率，可以降低量化噪声电平，而基带是固定不变的，因而减少了基带范围内的噪声功率，提高了信噪比。
- 理论上讲，采样频率越高，输出基带内的量化噪声功率越低。

- 不同采样频率下量化噪声分布示意图中显示了采样频率与噪声电平的关系：
 f_{s2} 远远大于 f_{s1} ，其基带内的量化噪声功率小很多。



• $\Sigma\Delta$ 调制器及噪声整形技术

- $\Sigma\Delta$ 调制器的特点在于它的噪声整形特性。
- 一阶 $\Sigma\Delta$ 调制器



- 其中 b 为反馈系数。为避免多比特D/A带来的非线性变换的问题，一般多采用1 bit量化，其量化器是一个过零比较器，对器件特性要求不高。
 在输入端 $\Sigma\Delta$ 调制器对过采样时域离散信号和反馈信号之差进行积分，其输出信号再经过量化器形成1 bit PCM数字信号。

- 积分器框图中 a 表示积分器增益。积分器起到低通滤波器的作用，其 Z 域传输函数为

$$H(z) = \frac{a \cdot z^{-1}}{1 - z^{-1}} \quad (1)$$

- 假定量化噪声为累加噪声，则图2.40(a)所示一阶 $\Sigma\Delta$ 调制器的传输函数为式(2)。

$$Y(Z) = Z^{-1} \cdot X(Z) + (1 - Z^{-1}) \cdot E(Z) \quad (2)$$

- 由(2)式可知， $\Sigma\Delta$ 调制器对输入信号 $X(Z)$ 是无失真传输，而对量化噪声 $E(Z)$ 则是以一阶差分的形式进行传输。
- 从频域来看则是高通滤波，或者说 $\Sigma\Delta$ 调制器将量化噪声从基带内搬移到基带外的更高频段，通常将这一技术称为噪声整形技术。
- 过采样 $\Sigma\Delta$ A/D 变换器正是通过对输入模拟信号在前端进行过采样及噪声整形处理，使电路输出的码流在基带内能够达到系统所要求的信噪比。

• $\Sigma\Delta$ 调制器的信噪比

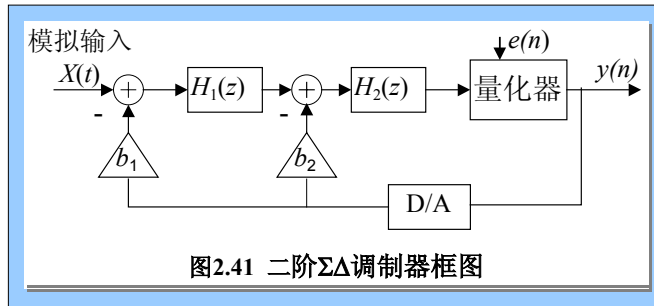
- 对 L 阶 $\Sigma\Delta$ 调制器，当输入为正弦信号时，其输出信号的最大信噪比 S_{NR} 为式(3)。其中 OR 为过采样率，定义为过采样频率与奈奎斯特采样频率的比值。设过采样率为 $OR = 2^r$ ，那么式(3)可以写为式(4)。

$$S_{NR\max} = 10 \log_{10} \left[\frac{3\pi}{2} \cdot (2L+1) \cdot \left(\frac{OR}{\pi} \right)^{2L+1} \right] \quad (\text{dB}) \quad (3)$$

$$S_{NR\max} = 3.01(2L+1)r - 10 \log_{10} \left(\frac{\pi^{2L}}{3L+1.5} \right) \quad (\text{dB}) \quad (4)$$

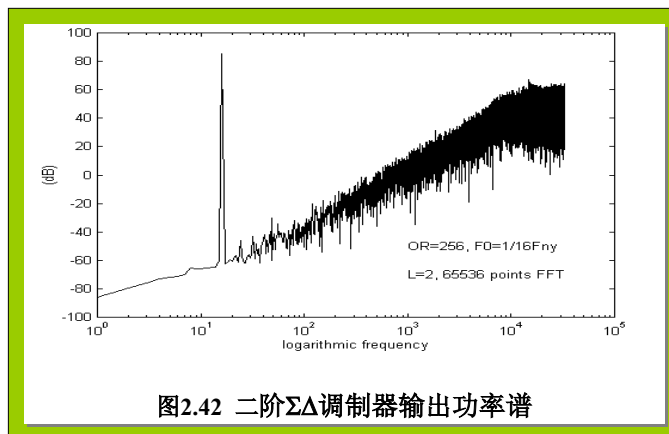
- 由此可以看出过采样率 OR 对信噪比 S_{NR} 的影响。在工艺允许的范围内，每提高一倍采样频率， $\Sigma\Delta$ 调制器输出带内信噪比就会大约提高 $3.01(2L+1)$ dB。在过采样率一定的情况下，调制器阶数越高，其信噪比越高。
- 采用过高的过采样率对器件工作速度要求很高，工艺实现上将受到一定的限制，因此人们为了提高信噪比而作的努力主要集中在研究高阶 $\Sigma\Delta$ 调制器的结构上。

- 二阶 $\Sigma\Delta$ 调制器



- 二阶 $\Sigma\Delta$ 调制器由于阶数增加，其噪声整形的效果在相同采样频率的条件下，要比一阶 $\Sigma\Delta$ 调制器好，即其输出基带内信噪比较大。

- 二阶 $\Sigma\Delta$ 调制器输出功率谱



• 高阶 $\Sigma\Delta$ 调制器

– 单回路高阶 $\Sigma\Delta$ 调制器

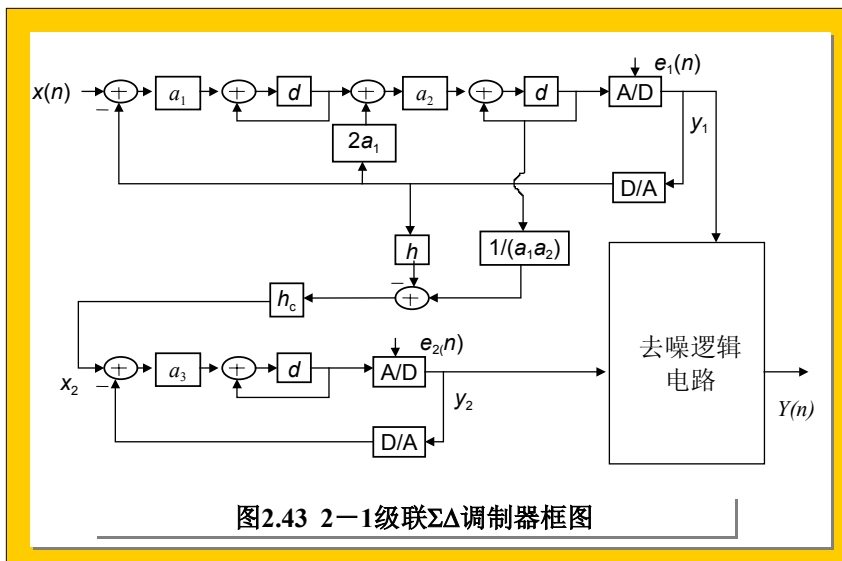
高阶 $\Sigma\Delta$ 调制器的主要问题是稳定性问题。前人的工作已经表明一阶和二阶的 $\Sigma\Delta$ 调制器总是稳定的，但却常常难以满足实现高精度A/D变换的要求，除非采用很高的过采样频率。而单回路三阶及三阶以上的 $\Sigma\Delta$ 调制器在采用1 bit量化器时不是无条件稳定的。

单回路高阶 $\Sigma\Delta$ 调制器由于其稳定性的致命缺点而很少被应用。

– 级联 $\Sigma\Delta$ 调制器

为了克服高阶 $\Sigma\Delta$ 调制器的不稳定问题，可以采用一些特殊的调制器电路结构，如级联结构(多回路)。由于一阶与二阶 $\Sigma\Delta$ 调制器结构是非常成熟的且保持绝对的稳定性，所以高阶的 $\Sigma\Delta$ 调制器可以用一阶或二阶调制器级联的方法构成。这样每一级都能保持稳定，同时也实现了高阶的噪声整形。

– 2-1级联结构



从信号流图到电路实现：一个例子

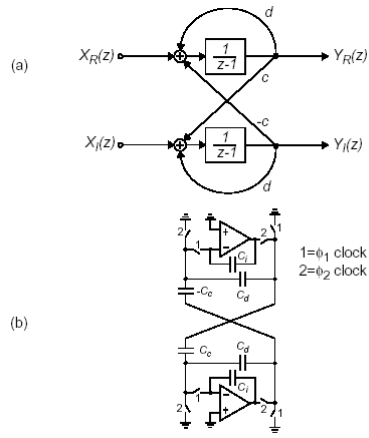
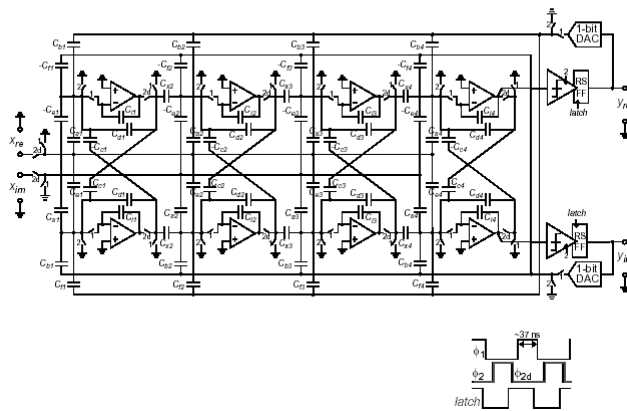


Fig. 6.1 (a) Complex-integrator system. (b) Single-ended circuit realization of a z -plane complex pole.

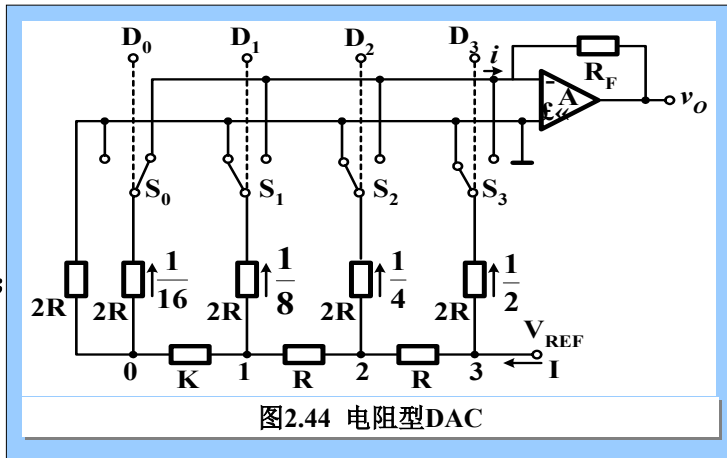
Fig. 6.2 Single-ended representation of the quadrature bandpass $\Delta\Sigma$ modulator circuit.



D/A 转换器

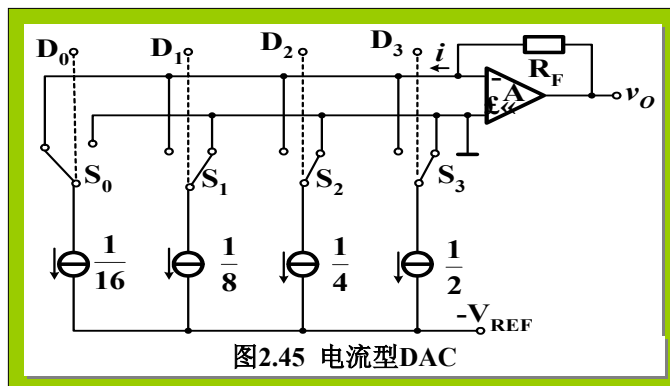
(一) 电阻型D/A

- 速度快;
- 电阻种类少;
- v_o 与 V_{REF} 成正比, 要求高稳定度的 V_{REF} ;



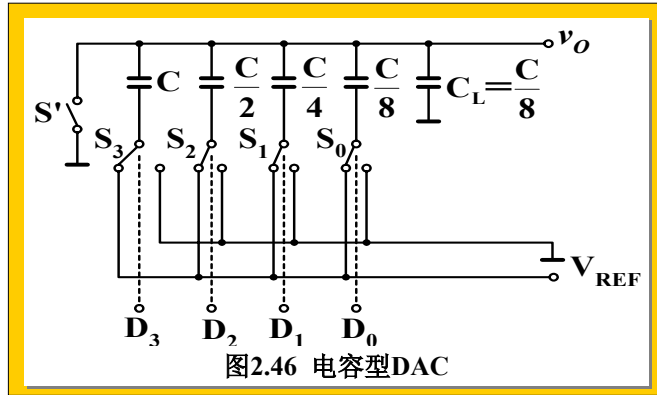
(二) 电流型D/A

- 速度快;
- 恒流源, 对开关要求低。



(三) 电容型D/A

- 动态范围大，建立时间短。
- 精度易于保证。
- 温度系数、电压系数、功耗及面积均优于电阻网络。
- 常用于多步A/D转换器。特别是在逐次逼近结构中构成二进制权阵列。



(四) DAC校准技术

- 集成线性数据变换器通常依赖于集成电阻、电容、或电流源的匹配度和线性度。
- 在不采取校准技术的情况下，分辨率的极限大约在10bit左右。对更高分率须采取对非线性误差可靠校正。
- 途径：
 - 改善每个器件的匹配度影响；
 - 对整体转换特性的校正。

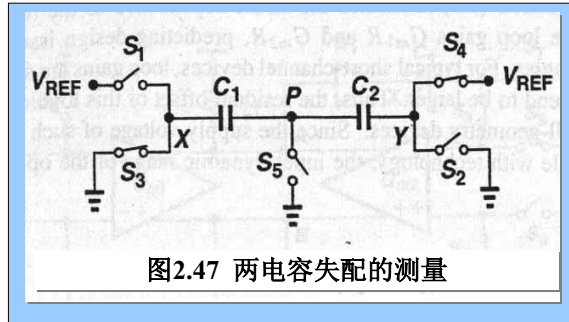
• 电容型DAC的校准技术

– 电容失配的测量技术

- 首先: S_1, S_2, S_5 接通, C_1 被 V_{REF} 充电, C_2 对地放电。
- 然后: S_1, S_2, S_5 关断, S_3, S_4 接通, 节点 X, Y 的电压变化分别为 $-V_{REF}$ 和 V_{REF} 。
- 节点 P 电压的变化称为“残余电压 (residual voltage)” 可表示为

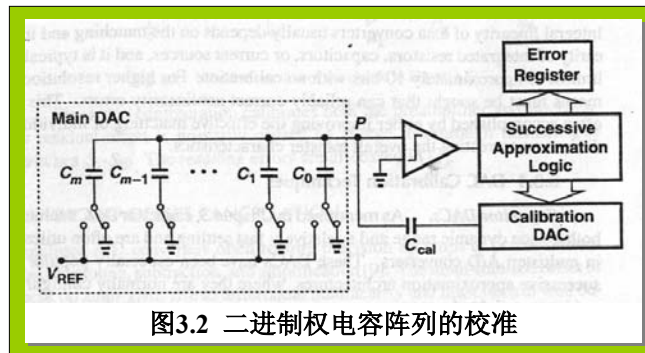
$$\Delta V = -\frac{V_{REF}}{C_1 + C_2} C_1 + \frac{V_{REF}}{C_1 + C_2} C_2$$

$$= \frac{C_2 - C_1}{C_1 + C_2} V_{REF}$$



- 忽略 S_5 上的电荷。
- ΔV 用来表征 C_1 和 C_2 的失配。

- 校准技术就是基于对二进制电容阵列的残余电压的数字化, 并将其储存起来, 与数字输出结果相结合。



- 在主DAC中, $C_j = 2^{j-1} C_1$ ($j > 1$) 且 $C_0 = C_1$ (只在校正时使用)

$$C_k = \sum_{j=0}^{k-1} C_j \quad (1 < k \leq m) \text{ 用于测量电容失配。}$$

- C_m 与 $C_{m-1} + \dots + C_0$ 之间的失配用P节点的残余电压($V_{res,m}$)来表示。
- 比较器与CDAC对 $V_{res,m}$ 进行逐次逼近数字化。这一过程重复进行,得到 C_j 与 $C_{j-1} + \dots + C_0$ ($j=m-1, \dots, 1$)之间的失配。生成了数字表示的 $V_{res,m-1}, \dots, V_{res,1}$ 。
- 对于数字输入 $D_m D_{m-1} \dots D_1$, 由电容失配引起的误差电压可表示为:

$$V_{error} = \frac{V_{REF}}{2^m} \sum_{j=1}^m 2^{j-1} \left(\frac{\Delta C}{C}\right)_j D_j$$

$$= \sum_{j=0}^m V_{ej} D_j$$

- $(\Delta C/C)_j$ 表示 C_j 的相对失配。
- V_{ej} 可以根据 $V_{res,j}$ 计算,并存储在数据寄存器中。可以确定任意数字输入在输出端的误差电压。

• 特点

- 简单。
只需加法器和简单逻辑门电路,不需数字乘法器。
- 采用该技术精度可达 18 bit [15]。
- 这种方法不能对电容的非线性进行校正。

各种结构的CMOS ADC的典型性能

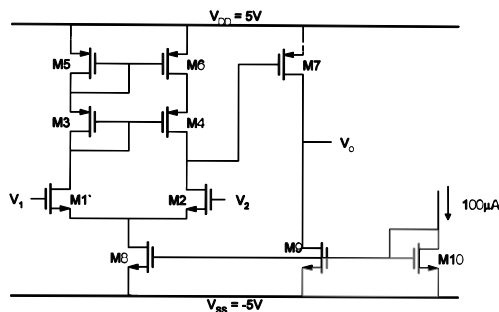
结构	全并行 [2]	两步 [3]	折叠-插值 [4]	流水线 [5]	多路交 织 [6]	$\Delta - \Sigma$ ISSCC19 94
速度	200M	5M	200M	20M	40M	100K
分辨率	6bit	12bit	6bit	10bit	10bit	16bit
工艺	0.6 μ m	1.0 μ m	0.5 μ m	1.5 μ m	1.0 μ m	1.2 μ m
面积	2.7mm ²	1.2*3.0mm ²	\approx 0.4mm ²	3.2*3.3mm ²	42mm ²	
功耗	380mW	200mW	\approx 150mW	35mW	565mW	40mW
作者		B. Razavi	X. C. Jiang	T. B. Cho	D. H. Fu	Dedic

About Midterm

Problem. 1 (30 points) For the two-stage opamp shown below calculate the systematic offset voltage (offset voltage even when there is no transistor mismatch).

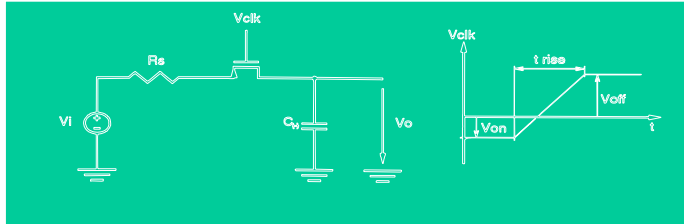
Parameters: $(W/L)_{NMOS} = 10/2$, $(W/L)_{PMOS} = 15/2$, $\mu_n C_{ox} = 80 \mu A/V^2$, $\mu_p C_{ox} = 30 \mu A/V^2$

$V_{THn} = 1V$, $V_{THp} = -1V$, $\lambda_n = \lambda_p = 0.01V^{-1}$



Problem. 2 (30 points) For the PMOS sample and hold shown below, indicate how an *increase* in the magnitude of each of the various parameters listed in the table would affect the magnitude of the charge feedthrough error. Assume fast switching.

Summarize your results in the table below



Parameter	increase	same	decrease
clock on voltage V_{on}			
clock off voltage V_{off}			
magnitude of device threshold voltage V_{THp}			
clock rise time t_{rise}			
gate overlap L_D (keep L_{drawn} same)			
source resistance R_s			

Problem. 3 (40 points) For the amplifier shown below find I_B , n and W/L 's of all PMOS devices to meet the following specifications:

Open-loop voltage gain A_{vo} ($V_{id} = 0$)

250

Unity gain bandwidth f_u

20MHz

Slew rate SR

100V/ μ s

Parameters: $\mu_n C_{ox} = 100 \mu A/V^2$, $\mu_p C_{ox} = 50 \mu A/V^2$, $V_{THn} = 1V$, $V_{THp} = -1V$, $\lambda_n = \lambda_p = 0.02V^{-1}$, $\gamma = 0$, $C_j = C_{ol} = 0$, $L_D = 0$, all $L = 2 \mu m$

