

Latch up

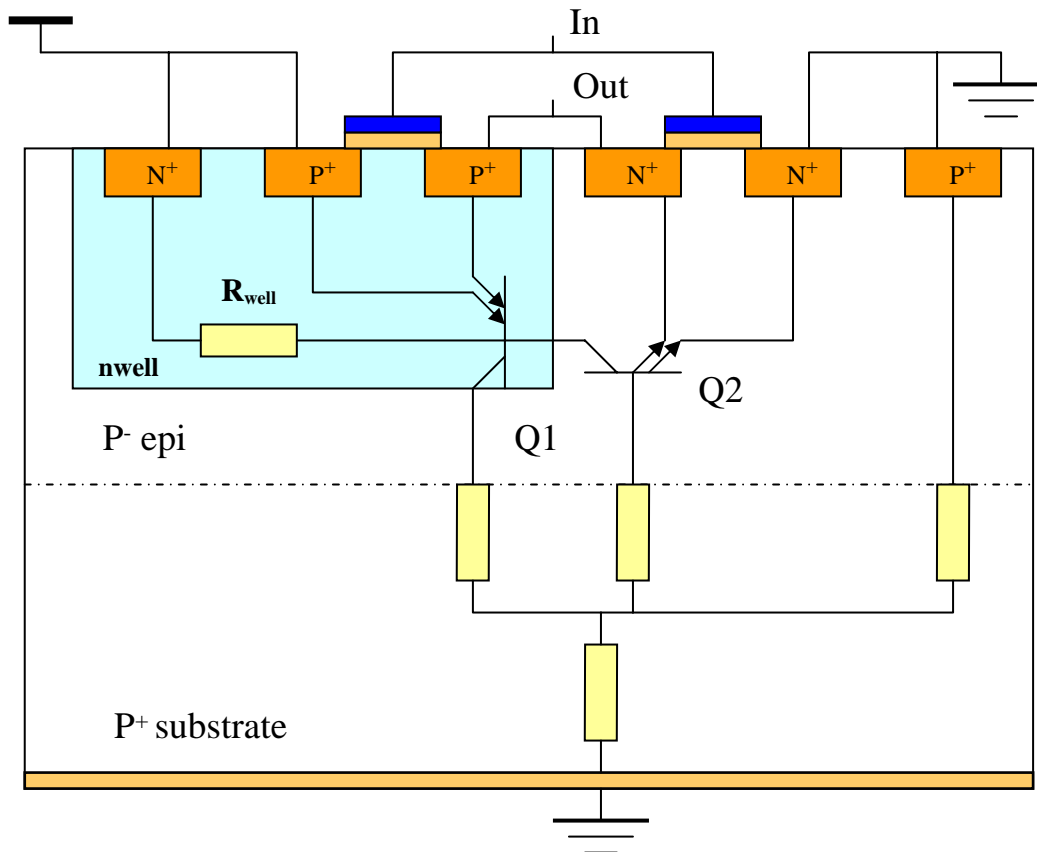
- Latch up 的定义
- Latch up 的原理分析
- 产生 Latch up 的具体原因
- 防止 Latch up 的方法

Latch up 的定义

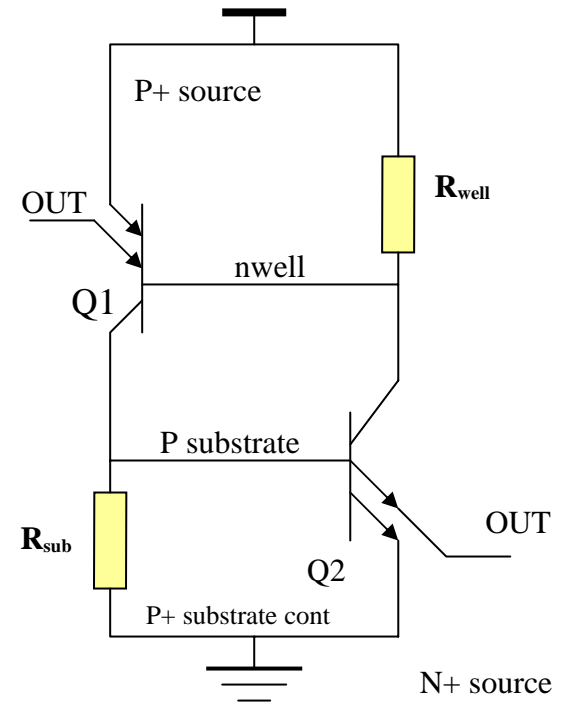
- Latch up 最易产生在易受外部干扰的I/O电路处, 也偶尔发生在内部电路
- Latch up 是指cmos芯片中, 在电源power VDD和地线GND(VSS)之间由于寄生的PNP和NPN双极性BJT相互影响而产生的一低阻抗通路, 它的存在会使VDD和GND之间产生大电流
- 随着IC制造工艺的发展, 封装密度和集成度越来越高, 产生Latch up的可能性会越来越大
- Latch up 产生的过度电流量可能会使芯片产生永久性的破坏, Latch up 的防范是IC Layout 的最重要措施之一

Latch up 的原理分析(一)

CMOS INV与其寄生的BJT截面图



寄生BJT形成SCR的电路模型



Latch up 的原理分析(二)

Q1为一垂直式PNP BJT, 基极(base)是nwell, 基极到集电极(collector)的增益可达数百倍; Q2是一侧面式的NPN BJT, 基极为P substrate, 到集电极的增益可达数十倍; R_{well} 是nwell的寄生电阻; R_{sub} 是substrate电阻。

以上四元件构成可控硅(SCR)电路, 当无外界干扰未引起触发时, 两个BJT处于截止状态, 集电极电流是C-B的反向漏电流构成, 电流增益非常小, 此时Latch up不会产生。当其中一个BJT的集电极电流受外部干扰突然增加到一定值时, 会反馈至另一个BJT, 从而使两个BJT因触发而导通, VDD至GND(VSS)间形成低抗通路, Latch up由此而产生。

产生 Latch up 的具体原因

- 芯片一开始工作时VDD变化导致nwell和P substrate间寄生电容中产生足够的电流，当VDD变化率大到一定程度，将会引起Latch up。
- 当I/O的信号变化超出VDD-GND（VSS）的范围时，有大电流在芯片中产生，也会导致SCR的触发。
- ESD静电加压，可能会从保护电路中引入少量带电载子到well或substrate中，也会引起SCR的触发。
- 当很多的驱动器同时动作，负载过大使power和gnd突然变化，也有可能打开SCR的一个BJT。
- Well 侧面漏电流过大。

防止 Latch up 的方法

- 在基体 (substrate)上改变金属的掺杂，降低BJT的增益
- 避免source和drain的正向偏压
- 增加一个轻掺杂的layer在重掺杂的基体上，阻止侧面电流从垂直BJT到低阻基体上的通路
- 使用Guard ring: P+ ring环绕nmos并接GND；N+ ring环绕pmos 并接VDD，一方面可以降低Rwell和Rsub的阻值，另一方面可阻止载子到达BJT的基极。如果可能，可再增加两圈ring。
- Substrate contact和well contact应尽量靠近source,以降低Rwell和Rsub的阻值。
- 使nmos尽量靠近GND，pmos尽量靠近VDD,保持足够的距离在pmos 和nmos之间以降低引发SCR的可能
- 除在I/O处需采取防Latch up的措施外，凡接I/O的内部mos 也应圈guard ring。
- I/O处尽量不使用pmos(nwell)

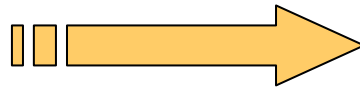
静电放电（ESD）保护

- ESD产生的途径和模型
- ESD的破坏效应
- ESD保护电路的基本原理
- 典型的ESD保护电路
- 如何选择不同的ESD保护电路

ESD产生的途径和模型

- ESD即静电放电效应，是芯片制造和使用过程中最易造成芯片损坏的因素之一。它的产生主要有三个途径：

- 人体接触
带静电的人手触摸芯片

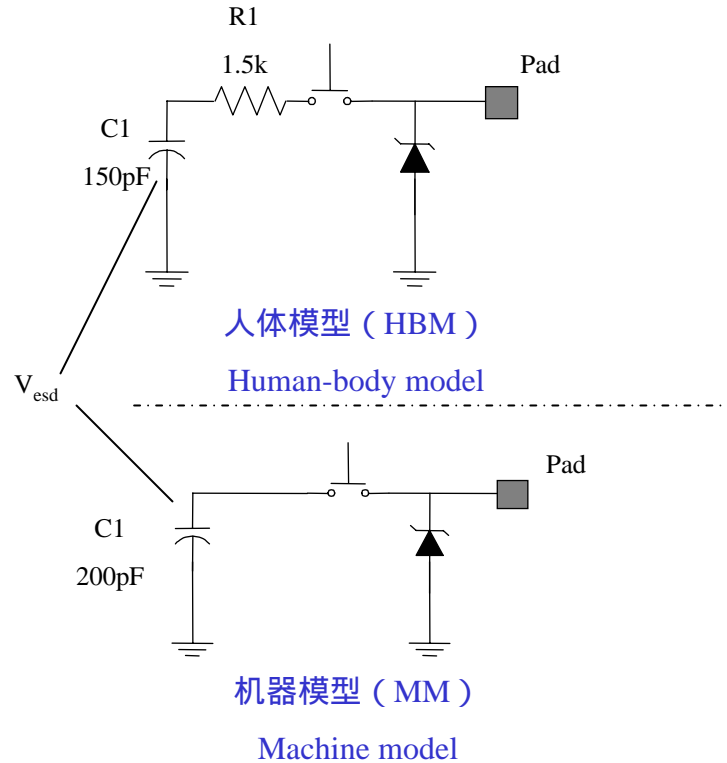


- 机器接触
制造过程中，与机器接触



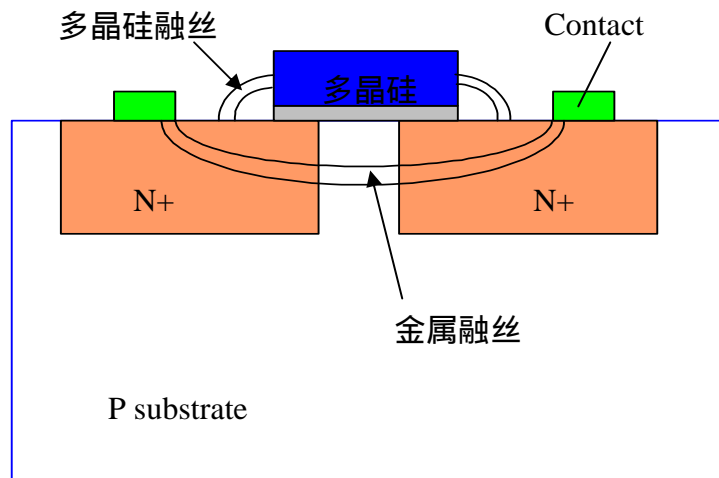
- 自产生电荷
已封装芯片在组合或运输过程中产生电荷

实验模型



ESD的破坏效应

- 人体在某种环境中可以存有1.5KV~2KV的静电电压，（即1.5KV~2KV HBM），这样高的电压可产生1.3A的峰值电流，如果施以未保护的芯片PAD上，将有可能击穿MOS通道，或将多晶硅gate烧融（ESD的破坏形式见右图）
- 常规的IC一般要求可以承受2KV的静电电压，某些特殊IC要求承受20KV HBM的静电电压。



典型的ESD破坏形式

ESD保护电路的基本原理

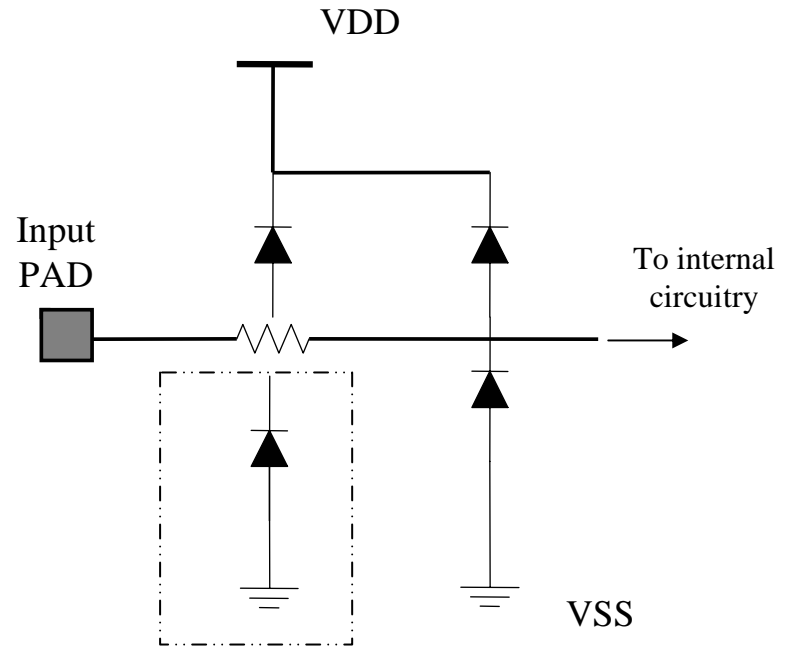
- ESD保护电路通常由电阻的等效二极管组成，右图为其电路模型。



- R为限流电阻，阻值在1~3K之间，可以控制输入电流在几十mA以内。此电阻和其扩散电容、二极管结合在一起，可以将进入PAD的静电电压箝位在安全范围。但RC值应适当控制，以免增加电路延迟，影响芯片的速度。
- 经ESD保护电路后，PAD的输入电压，理论上应被箝位在：

$$-0.7\text{v} < V < \text{VDD} + 0.7\text{v}$$

这只是一个典型的ESD保护电路的模型，对于不同的制程以及不同的电路，需选用适合的ESD保护电路。

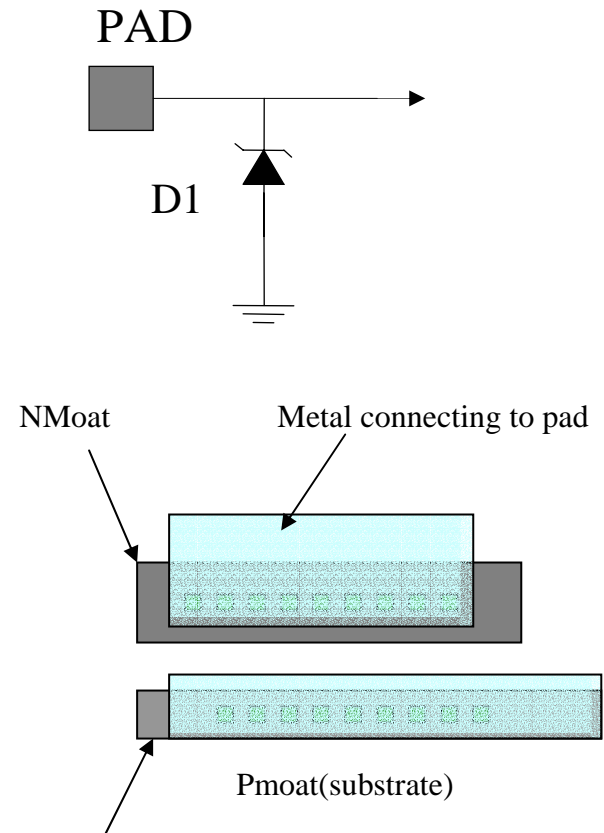


ESD保护电路模型

典型的ESD保护电路(一)

齐纳箝位(Zener Clamp)

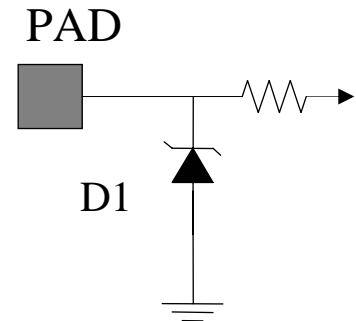
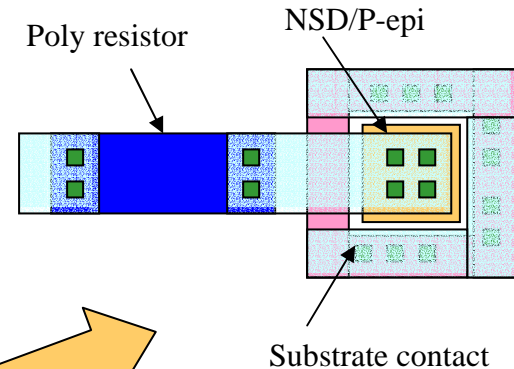
- 一个齐纳箝位的保护电路如右图所示，P+substrate和Nmoat构成一个齐纳管，齐纳管的正极接至P+substrate，负极接至Nmoat，正箝位电压为它的反向击穿电压，负箝位电压为它的导通电压。
- Bipolar的Emitter-Base、cmos的NSD/P-epi和PSD/N-well都可以构成齐纳管。
- Emitter-Base齐纳管有100~300欧姆的内阻，NSD/P-epi和PSD/N-well齐纳管的内阻则更大，这些内阻大大提高了齐纳管的耐压性，同时也会使PAD上出现高于理论值几十伏的电压，这种特点大大限制了齐纳箝位保护电路的应用。



典型的ESD保护电路(一)

齐纳箝位(Zener Clamp)

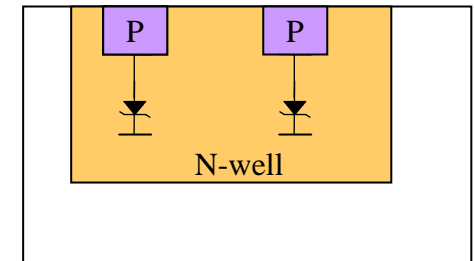
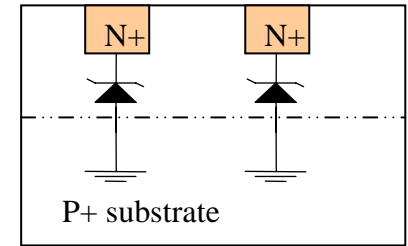
- 如上图所示，构成齐纳管的NMoat应置于substrate旁，距离应参照design rule。Substrate contact应尽量多，以降低电阻。整个二极管应置于PAD与die seal之间或PAD之间。Nmoat包contact至少 $1\sim 2\mu\text{m}$ ，且Nooat的面积要大于 $500\mu\text{m}^2$
- 齐纳管可以不由die seal构成，用collecting-ring包围Nmoat一样可以构成一个齐纳管（见右图），collecting-ring上的substrate contact也需多打。
- 在齐纳管的保护电路中，一般会加一个低阻（ $100\sim 1\text{k}$ 欧姆）电阻，可以迫使ESD电流通过齐纳管，而不影响被保护的电路。（见右图）



典型的ESD保护电路（二）

mos自保护

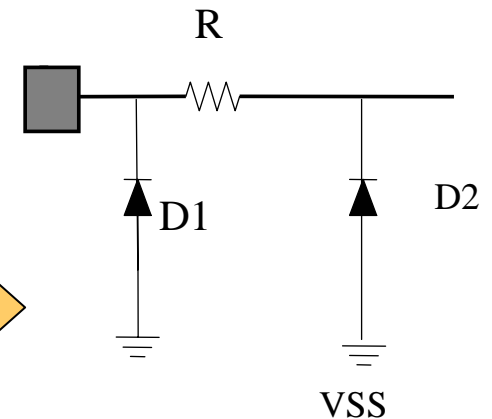
- 在cmos制程中，pmos和nmos的source/drain区与well和P-epi也可构成齐纳管（见右图），起到ESD保护电路的作用。
- 以nmos为例，其drain接至PAD，负ESD电压被NSD/P-epi构成的齐纳管箝位，而正向的ESD电压则被NSD/P-epi结的消耗区吸收。
- 这种情况下，nmos接正电压、pmos接负电压时易被损坏。大mos比小mos更耐压，因为它们可以吸收更多的能量。多个小mos可以和相同面积的大mos一样耐压。1000um²的mos可以承受2kv HBM和200v MM。
- 因为pmos和nmos雪崩现象发生在不同环境下，一个大的nmos不会保护到小的pmos，如果pmos和nmos同时接至同一PAD, 各自的drain面积必须能够独立承受ESD的破坏。
- 低压mos制程比高压mos制程易受ESD的破坏。
- 当接到PAD的mos drain的面积不足以满足ESD保护的要求，就要额外加ESD保护电路。



典型的ESD保护电路（三）

双重齐纳管箝位

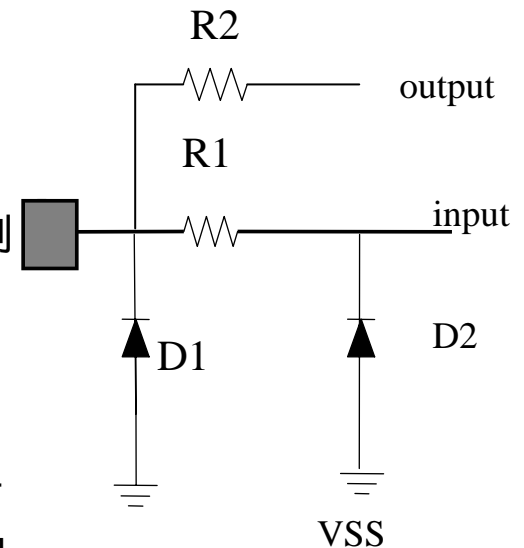
- 即使面积很大的齐纳管保护电路也有10欧姆以上的多余内阻，2kv HBM的冲击可以产生1.3A的电流，从而在齐纳管上产生数十伏的压降，这么大的电压足以破坏mos gate区域的氧化层。尽管一个齐纳管无法阻止这种破坏，但它可以esd电压从几千伏降到几十伏，如果再串一个保护电路（齐纳管箝位）就可保护mos gate的薄氧化层。
- 见右图，D1将电压锁定在100v以内，通过电阻R接至第二个齐纳管D2，电阻R限制电流值以保证D2可以将电压降至安全范围。最适当的R值应是D2内阻的数倍，一个小的齐纳管的内阻有几百欧姆，所以R值应为1K以上。缺点是R产生的纳秒级延迟会影响高速度芯片。
- Poly电阻R可以承受2kv HBM和200v MM时的阻值应该是数百欧姆，其宽度至少应5~8um，每端的contact应不少于6~8个（电阻更高时可适当减小）。Moat电阻因可吸收能量会比poly电阻更适合。电阻不可弯折，以避免在弯折处集中电流产生热量。



典型的ESD保护电路（三）

双重齐纳管箝位

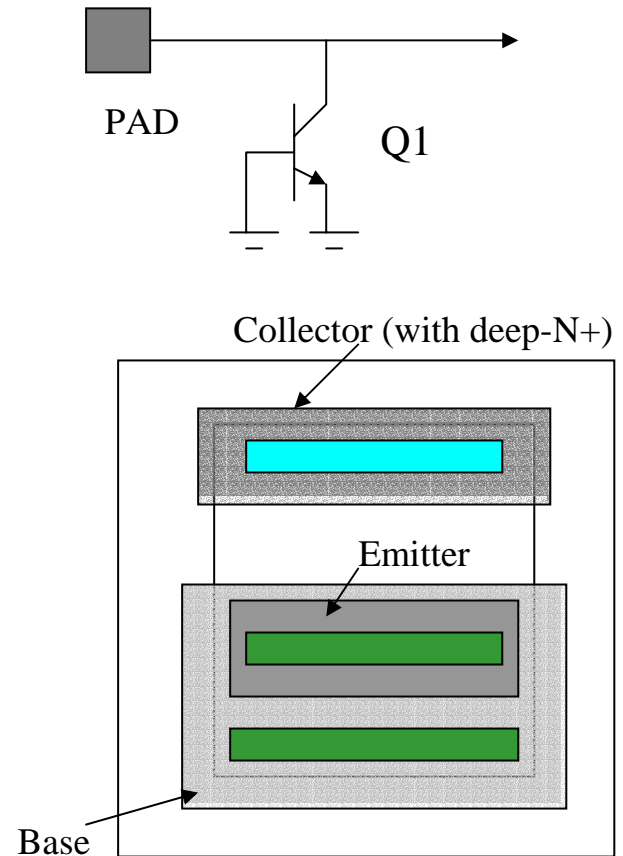
- D2是由一块相对较小的Nmoat放在substrate ring中构成，足够的substrate contact不仅会减少D2的内阻，还会对附近的被保护电路起到减小substrate偏压的作用，这个偏压也会增加到D2的电压上。如果可能，D2应距离D1 50~100um，常用的做法是：将D1置于PAD之间，R放在PAD旁，D2放在PAD内侧距内部线路较近，D1和D2都应用collect-ring圈起。
- 这种双ESD保护电路结构可以很好地保护中等电压cmos制程的电路，因为它还是具有较高内阻，所以适用于高阻input pad，称其为input ESD,也可用于低阻的逻辑输出保护。
- 对于I/O（input&output）PAD，ESD需要双重保护，此时首先要一个基本的齐纳管D1接至PAD和substrate，再加两个电阻：较高阻值者R1接input电路，低阻者R2接output电路，output mos的source/drain与substrate或well可作为D2，而input部分需再加一个齐纳管D2（见右图）



典型的ESD保护电路（四）

V_{CES} 箝位

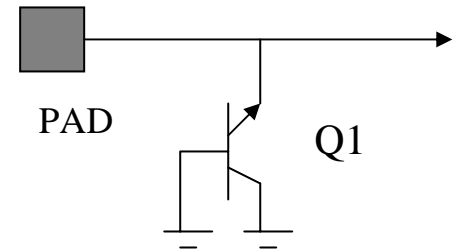
- 右图所示的是利用NPN collector-base的反向击穿箝位ESD的瞬间冲击。最初的击穿电压为Q1的 V_{CES} ，一旦击穿，只有到电压降到 V_{CEO} 时才会停止。这两个电压称为触发电压和维持电压，一个典型的40V Bipolar器件有65V的触发电压和45V的维持电压。
- Emitter的面积做到300~500 μm^2 时，此结构可以保护20V analog BiCMOS抵抗2KV HBM和200V MM。
- Layout时，要求Diffusion要包contact 1~2 μm 。



典型的ESD保护电路（五）

V_{ECS} 箝位

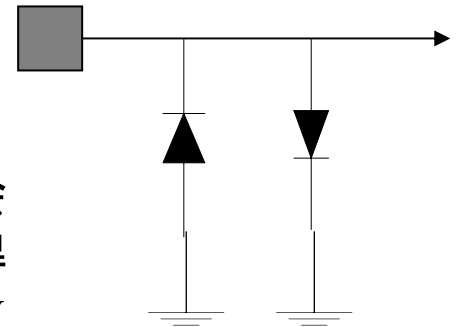
- 如果将NPN的emitter和collector交换,依旧是一个NPN,称为反模式。此时NPN有很小的增益, base-emitter的击穿电压变小, 因此非常适合做低电压ESD保护电路。右图为一 V_{ECS} 箝位电路。
- V_{ECS} 箝位的触发电压等于NPN的 V_{EBO} , 维持电压约是触发电压的60%~80%, 而analog BiCMOS NPN的 V_{EBO} 的典型值为8~10V,这种ESD保护电路适合低于5V的电路使用。
- Emitter的面积达到600 μm^2 时, 此电路可以承受2KV HBM和200MM, 有时更大的Emitter面积可以承受10KVHBM。
- V_{ECS} 箝位不可以做高压ESD保护电路, 除非使用多个串在一起, 那会增加面积和内阻。



典型的ESD保护电路（六）

反平行二极管箝位

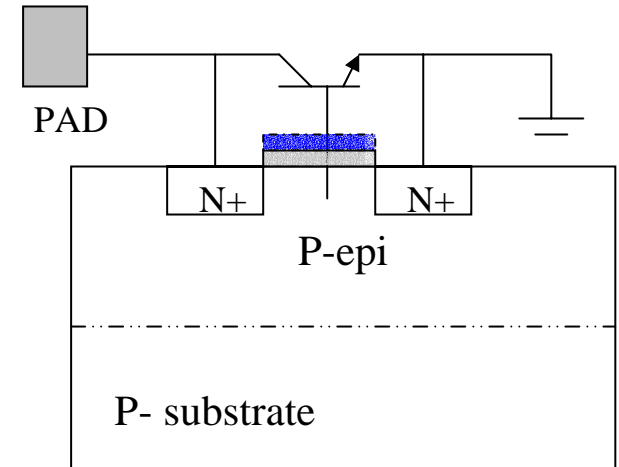
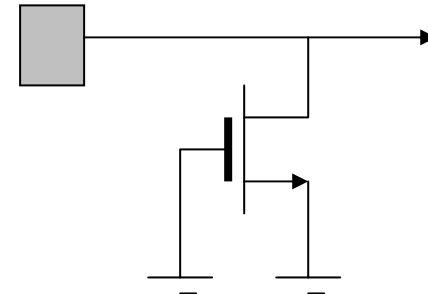
- 许多IC有多个ground PIN，其中某些PIN接substrate，某些为减小噪声而分接不同的线路，这些PIN并不接到substrate上而需要加ESD保护电路。
- 最常用的保护电路是用一对反平行的二极管，也可用二极管接PNP的方式，或者一对肖特基二极管（见右图）。它们的压降很小，也不会产生像其它保护电路那样的热量，可以被做得较小。几千平方微米的肖特基管可以承受2KV HBM和200V MM的冲击，二极管接PNP的方式可以做的更小。
- 这种保护电路要求用guard ring圈起。



典型的ESD保护电路（七）

Thick-Field Transistor箝位

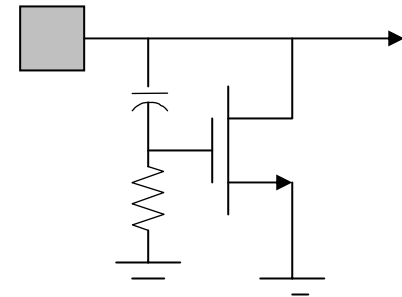
- 前面所述之ESD保护电路基本是以齐纳二极管箝位,内阻较大的缺点无法避免。
- 一个横向NPN可以有两块相邻的Nmoat构成, NSD为collector和Emitter,中间的P-epi为base,当其中一块Nmoat接至Bondpad,另一块接substrate时,这个NPN就形成 V_{CES} 箝位。
- 这样的ESD大多情况下会做成MOS形式, Gate下垫厚氧化层, gate可接bondpad或substrate, 因为厚氧化层大大增加了NSD/P-epi的击穿电压, gate接哪儿几乎没有影响, 大多情况都是如右图所示的接法。
- 因为使用了厚氧化层, 所以这种MOS称为Thick-Field Transistor.



典型的ESD保护电路（八）

速度触发箝位

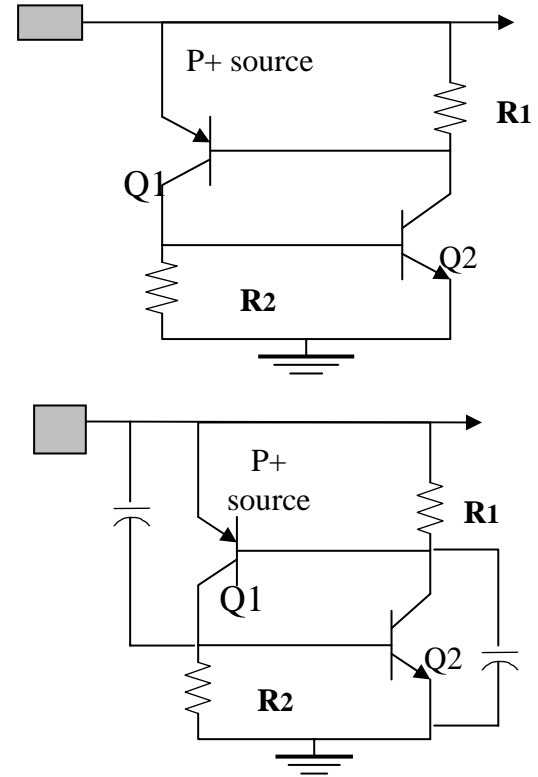
- ESD冲击的两个显著特点是高峰值电压和高速跳转，几乎所有的ESD保护电路都是高电压触发，某些保护电路是信号速度触发的。如右图，一个电容连接input至mos的gate,电阻R1接至substrate并保持mos的关闭状态，当ESD冲击通过电容使mos导通，mos将吸收剩余的ESD能量。为了使mos可以起到很好的箝位作用，它的内阻应是欧姆级，这就需要将mos的size做的很大。
- 速度触发的ESD保护电路在小于5V的低压CMOS制程中应用的非常普遍，缺点是信号速度太快时易误触发。除非你可以设计好准确的参数不至于在正常工作时产生误触发，否则还是使用电压触发的保护电路会比较好。



典型的ESD保护电路（九）

SCR箝位

- 许多低压制程用SCR(silicon-controlled rectifier)做ESD保护电路,一个SCR保护电路的连接见右图,在CMOS制程中,Q1为一垂直式的PNP,由nwell内的PSD和nwell以及P-epi构成,横向NPN Q2有nwell,P-epi和相邻的NSD构成, R1为nwell电阻, R2是substrate到P-epi的电阻。SCR的触发是由Q1或Q2的collector-base的冲击引起。假设Q2先触发,电流载子进入base,导致Q2导通,同时Q1也会导通。此两BJT相互影响,直到降到维持电压以下才会截止。当R1和R2足够大时,SCR的维持电压可以小于2V。电阻值越小,维持电压越大。电阻值和维持电压的关系很难准确的确定。
- SCR保护电路对于HBM和MM都有非常显著的保护作用,它可以承受其它保护电路几倍的耐压。
- 对于低压CMOS而言,简单的SCR电路的触发电压太高了,SCR透过改良,可以变成速度触发的SCR箝位电路,即在Q2的base和pad间加一个电容,或在Q1的base和ground间加一电容。(见右下图)



如何选择不同的ESD保护电路 (接至base或emitter diffusion的PIN)

- 直接接到substrate或较大块的Diffusion的PIN一般不需要加ESD保护电路。

1. *接至base或emitter diffusion的PIN*

Base和emitter diffusion有较小的单位阻值，很容易受到ESD的破坏。较大的diffusion可以足够吸收ESD的破坏能量，但无法扩散的能量可能会破坏较小的diffusion。可以自保护的diffusion面积的大小依赖于制程参数和测试环境。一般说来，500um²,160欧姆/sq的base diffusion可以抵御2KV HBM和200V MM,更小的diffusion就需要加像VCES或VECS箝位，不需要加串联电阻，因为diffusion本身的电阻已够大。

如何选择不同的ESD保护电路 (PIN接至NPN的emitter)

2. PIN接至NPN的emitter

- 一个垂直的NPN的emitter不可以直接接至bondpad，除非是substrate pad。在bondpad上必须接一个ESD箝位，并且需要接一个几百欧姆的电阻在pad和emitter之间，线路设计者必须要考虑这个电阻对整个线路的影响。
- 有些power NPN的emitter会接与substrate同电位的不同PIN。此时就需要反平行二极管箝位保护，但不需要加任何的电阻。

如何选择不同的ESD保护电路 (PIN接至CMOS的gate)

3. PIN接至CMOS的gate

- CMOS gate 的绝缘层非常脆弱，通常需要双重ESD保护。
- 第一重ESD保护电路只需将ESD电压降至几百伏特；第二重ESD保护电路应将gate上的电压降至可以破坏氧化层电压的75%。如果ESD保护电路是返回至substrate的，ESD的箝位电压应将substrate的偏压计算在内。在第一个和第二个保护电路之间，应该加一个比第二个保护电路内阻大数倍的电阻，这个电阻可以是diffusion或多晶硅的，如果是多晶硅的，其width至少5~8um,连接contact至少6颗以上。这个电阻绝对不可以弯折，以免出现热量集中。
- 如果第二重保护电路用齐纳箝位，串联的电阻要数千欧姆。
- 如果第一个保护电路可以使ESD电压降至可以破坏氧化层电压的75%，第二个保护电路和电阻就不需要再加。
- 某些低压CMOS的氧化层破坏电压小于一般的ESD触发电压，此时ESD保护电路必须选用速度触发箝位或SCR箝位。

如何选择不同的ESD保护电路 (PIN接至moat区域)

4. PIN接至moat区域

- 某些moat区可以保护自己不受ESD的破坏，但有些却不行。
- 硅氧化物moat的击穿电压小于5~8V时，必须加ESD箝位，非硅氧化物的moat的击穿电压大于10V,如果moat diffusion的面积和可以大于500 μm^2 ,在2KV HBM和200V MM的环境中足以保护自己。当然，moat面积与ESD的关系主要依赖于制程参数和测试环境。
- 面积较小的moat需要附加ESD保护电路，单一的ESD保护电路只要可以将ESD降至moat diffusion的崩溃电压以下就足够了，比如 V_{ECS} 箝位，或者用一个几百欧姆的串联电阻加一个齐纳管箝位。
- 对于硅氧化物moat可以用一层mask移去硅氧化物，虽然电阻会增加一点，但可以透过增加device的size来补偿。

如何选择不同的ESD保护电路 (PIN同时接至moat区域和CMOS gate)

5. PIN同时接至moat区域和CMOS gate

- 如果moat的面积足够大，它可以作为第一级保护电路，当然它必须接至PAD。
- 对于小面积的moat，特别是硅氧化层脆弱的，需要串联一个50~200欧姆的电阻。
- 除非第一级保护电路有一个很小的内阻，否则没有第二级保护电路是不可能保护mos的gate的。所以应该在PAD和gate间串一个几百欧姆到几千欧姆的电阻，第二级保护电路置于电阻之后，并接至gate。
- 接moat和接gate的通路是分开的。

如何选择不同的ESD保护电路 (PIN仅接至多晶硅)

6. PIN仅接至多晶硅

- HBM实验电压足以破坏厚氧化层和环绕多晶硅的氧化层。
- 如果bondpad没有直接接至任何的diffusion，穿过环绕多晶硅的氧化层的电压可能会大到可以破坏氧化层的地步。将一块nwell的图形置于bondpad之下并与bondpad连接，其实就是增加了一个Nmoat与bondpad的连接，从而起到一个Nmoat的自保护作用。同时也可保护多晶硅。

如何选择不同的ESD保护电路 (PIN接至电容)

7. *PIN* 接至电容

- 氧化层和氮绝缘层需要和gate的绝缘层一样需要保护电路。电容通常有一层薄的深掺杂的diffusion，类似emitter区，所以可以用和emitter区一样的保护电路。

如何选择不同的ESD保护电路 (PIN接至肖特基二极管)

8. PIN接至肖特基二极管

- 肖特基二极管不能工作在雪崩击穿状态，因为它的耗尽区太薄，而且很靠近硅氧化层。
- 大肖特基二极管可以加一层guard ring(base diffusion)环绕肖特基二极管contact.
- 较小的肖特基二极管需要一块大面积的moat diffusion接到相同的PIN上。如果没有合适的moat,也可以用guard ring (base diffusion)环绕肖特基二极管contact ,同时串一个几百欧姆的电阻也可以起到很好的保护作用。

如何选择不同的ESD保护电路 (其它)

9. 工作在substrate 电位的PIN, 未接substrate

- 比如为避免substrate带给线路噪声, 需要将GND PIN和substrate分开, 如果这些PIN打线时与substrate PIN接在一起, 一般不需要加ESD。相反地, 则需要加反平行二极管箝位。

10. 多个bondpad 分别打线至同一PIN

- 只需加一个共用的第一级保护电路, 每个bondpad各自需要自己的第二级保护电路和串联电阻。

11. Test PAD & Probe PAD

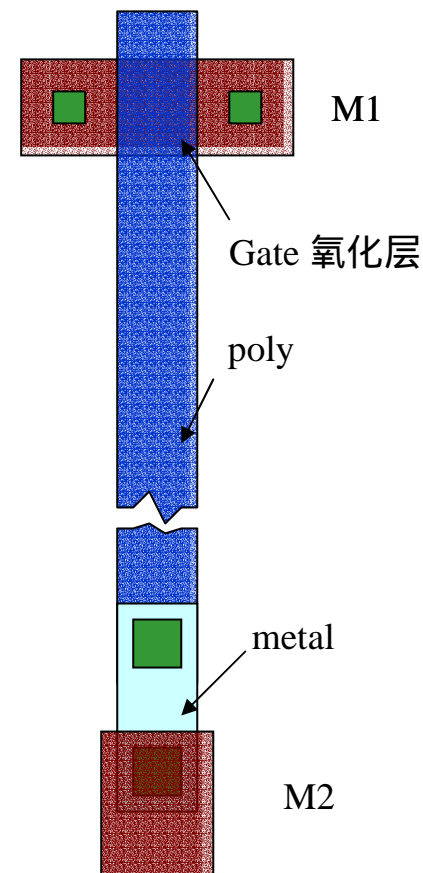
- 因为这些PAD是封在IC封装内, 不会有ESD的问题, 所以不需要加ESD保护电路。

天线效应 (The Antenna Effect)

- 天线效应产生的原因
- 消除天线效应的方法

天线效应产生的原因

- 干蚀刻（etch）需要使用很强的电场驱动离子原浆，在蚀刻gate poly和氧化层边的时候，电荷可能积累在gate poly上，并产生电压足以使电流穿过gate的氧化层，虽然这种状况通常不会破坏gate氧化层，但会降低其绝缘程度。这种降低程度于gate氧化层面积内通过的电荷数成正比。每一poly区积累的正电荷与它的面积成正比，如果一块很小的gate氧化层连接到一块很大的poly图形时，就可能造成超出比例的破坏，因为大块的poly区就像一个天线一样收集电荷，所以这种效应称为天线效应，天线效应也会发生在source/drain的离子植入时。
- 天线效应与poly和gate氧化层的面积之比成正比（对于pmos和nmos,要分开计算gate氧化层的面积，因为它们的击穿电压不同）。当这个比值达到数百倍时，就可能破坏氧化层。大多数的layout中都可能少数这样大比值的poly图形。
- 右图为一个可能产生天线效应的例子：mos M1的gate由poly连接至M2，当M1和M2距离够长造成poly和M1 gate氧化层面积之比太大，从而可能破坏M1的gate氧化层。



消除天线效应的方法

- 消除天线效应的方法主要是设法降低接到gate的poly面积。见右图，在poly接至gate增加一个metal跳线，即减小了接至gate的poly与gate氧化层的面积之比，起到消除天线效应的作用。
- 天线效应产生的静电破坏也会发生在metal蚀刻时。如果metal接到diffusion时，极少会产生静电破坏，因为diffusion可以卸掉静电，所以top metal一般不用考虑天线效应的问题（基本上每条top metal都会接到diffusion上）。对于下层metal则不然，没有接到diffusion的下层metal当其接至gate时，如面积过大，就极易产生天线效应。解决方法：在下层metal上加一个top metal的跳线，如无法加top metal跳线，可以连接一个最小size的Nmoat/P-epi或Pmoat/nwell的二极管，原则上这个二极管不可以影响线路的正常工作。

