

基于Genus综合平台的 iSpatial Flow介绍

摘要 近年来,大规模和超大规模逻辑复杂的芯片设计需求日益增加,从RTL到GDS的设计时间因为市场的需求而被不断缩短。前端设计和后端设计之间从最早的网表交互,已经延伸到物理数据的交互;而数字前端设计也从最早的逻辑综合已经变化为物理综合,但是随着先进工艺的不断推进,标准单元物理时延,线时延还有绕线阻塞等等,都对网表的要求越来越高。以前的物理综合流程还是需要增加前端综合迭代次数来寻求最优方案,从而增加了设计周期。所以在新的工艺节点下面,我们迫切需要解决前端设计和后端设计之间的鸿沟。从而提高设计效率。

为了提高设计效率,达到高标准的PPA (Power Performance Area), Cadence公司新一代综合工具平台Genus引入新的综合-布局布线流程-iSpatial。统一的物理优化引擎集成在Cadence® Genus™和Cadence Innovus™ 平台里面。利用iSpatial流程,我们可以完成在不同工艺下的多种类芯片从综合到后端布局布线的设计,有效提升了综合对于后端布局布线时序,绕线阻塞,功耗的预测准确性,减少了产品设计周期并提升产品性能。

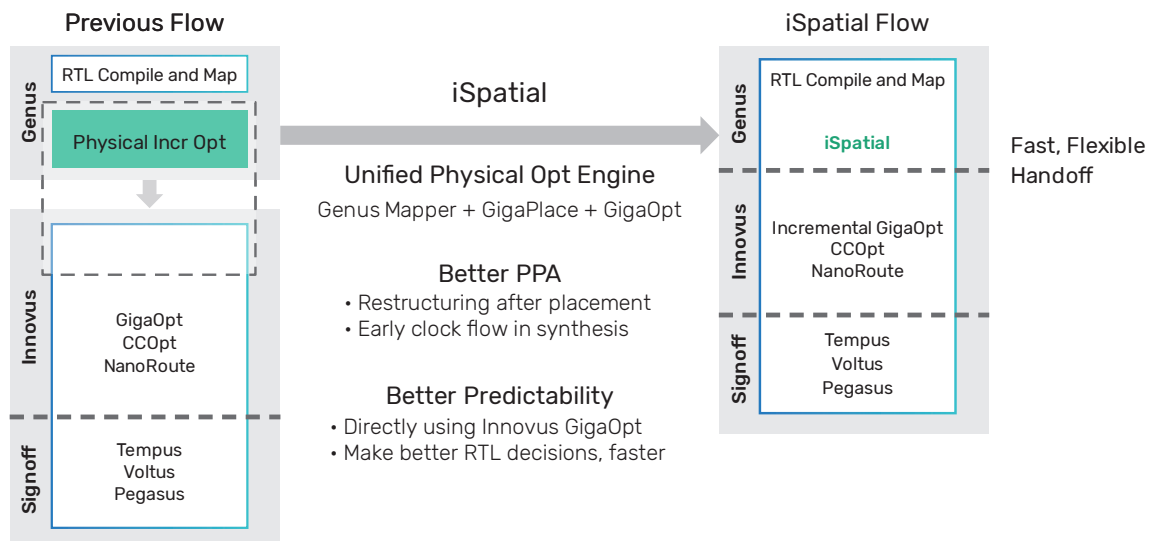


图1 iSpatial flow与Spatial flow对比

关键字：ISPATIAL GENUS PPA INNOVUS

1 CDNS 19.1 iSpatial设计流程介绍

概叙

新的iSpatial flow基于统一引擎的概念，在syn_opt -spatial阶段调用GigaPlace/GigaOpt引擎，将其应用在整个设计流程，从而真正实现了从前端设计到后端设计的全流程中使用了统一的布局布线及优化引擎。这样就可以：

- ▶ 有效提升前端综合对后端布局布线的预测性；
- ▶ 减少不必要的优化力度，加大对关键路径的优化。从而提升设计的PPA
- ▶ 减少了设计周期；

iSpatial flow还引入了新的关键区域重构 (critical region restructuring (CRR)) 和新的数据选择器与数据通路重构，在综合布局之后将网表重构，从而提升设计效率，并优化时序。

对GigaPlace/GigaOpt引擎的调用也使得我们可以在综合syn_opt阶段调用Innovus的引擎与功能，例如Advanced Analysis Engine (AAE)，早期时钟树流程(Early Clock Flow)。早期时钟树流程是一种被验证有效提升POD和CCOPT之间的一致性，并且提升了QOR的方法。应用iSpatial叠加该流程打开有用时钟偏移，门控时钟和加了时钟偏移的宏单元在综合时就被考虑到，从而进一步提升预测性和QOR。

1.1 早期的Spatial Flow介绍及所面临的挑战

CDNS 早期设计采用Genus Spatial flow。如上图1左方框图所示。该流程中，综合分为三步，从第一步syn_gen -phys读入设计的物理信息，并进行标准单元的摆放，并在syn_map -phys阶段进行网表优化。该设计流程的优点是，从初始阶段就进行物理信息已知的综合和布局，尽可能减少综合迭代次数，一次性得到最优化的网表。综合工具Genus调用了布局 (placement) 引擎，全局布线 (global route) 引擎，延时分析 (delay calculation) 及寄

生参数提取 (parasitic extraction)，有效提高了综合与后端布局布线的一致性。

然而该流程具有一定的局限性。Genus中调用的布局引擎与Innovus的引擎并不一致，Innovus里面很多功能在这个流程里面不能使用，比如Innovus里面强劲的ECF (early clock flow)。因此，Innovus 布局结果与spatial flow综合后结果的一致性还是存在偏差，所以我们还是只能在Innovus布局之后根据时序结果来评估网表，导致网表迭代耗时耗力。

1.2 CDNS iSpatial DFT Flow

Design for test(DFT) 常常会导致在设计流程中出现拥塞。新引入的逻辑也会影响PPA的优化。现在大家越来越倾向于在RTL里面插入更多的DFT的IP；对DFT扫描链进行物理综合，IEEE1500的插入，加入测试点，进行扫描链压缩等等这些方法来进行DFT设计。DFT已经是综合里面重要的一环。

iSpatial支持Cadence也兼容第三方DFT流程，并且不会引起iSpatial flow的扰动，iSpatial可以调用Innovus Scan Reorder，在全流程中更早地预估拥塞和QOR，从而提升前后端QOR一致性，并提升设计QOR。

第三方的DFT可以按照设计者的通过不同的方式在iSpatial里面实现。图二展示的就是不同的第三方DFT流程。做扫描链和wrapper插入的时候，Genus可以考虑功耗以及多位寄存器和移位寄存器的因素来进行特定的wrapper插入。

1.3 iSpatial Flow在Innovus布局后的QOR 提升

表1为iSpatial flow与Spatial flow在Innovus布局后的QOR对比。在五个不同工艺节点的设计(CPU, CPU, AI, DSP)上，WNS都有大幅提升，最高的提升85.6%，TNS的提升幅度更高，最低为44.3%，最高的高达98%。TAT也有大幅提升。由于iSpatial和innovus的引擎完全一致，加上Genus强大的重构能力，我们可以快速的获得性能提升和设计周期的缩短。

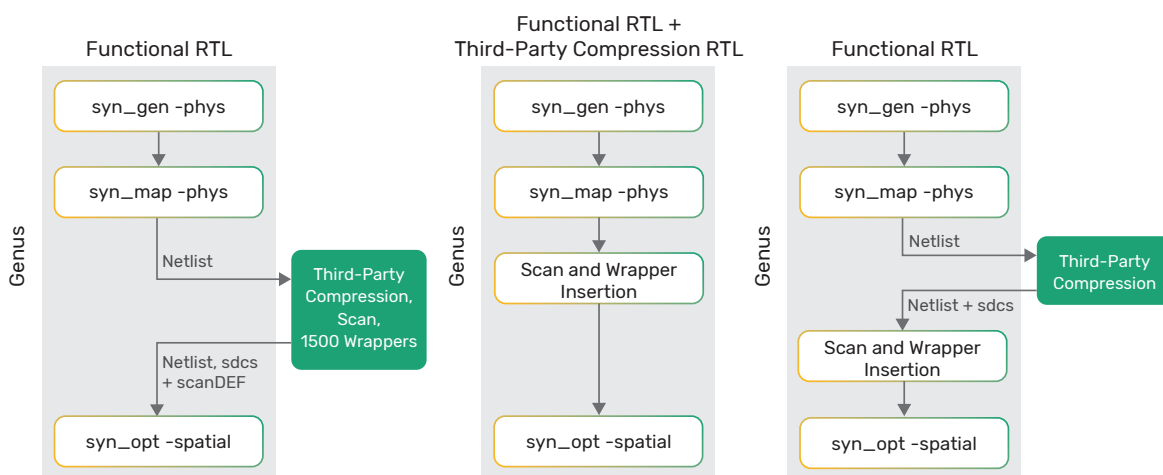


图2 Genus第三方DFT流程

Design	WNS			TNS			TAT		
	Spatial	iSpatial	delta	Spatial	iSpatial	delta	Spatial	iSpatial	delta
GPU (7nm)	-50ps	-48ps	4%	-38.3ns	-16.7ns	56%	76h	68h	10.50%
CPU (7nm)	-52ps	-26ps	50%	-70ns	-11.3ns	84%	81.5h	77h	5.50%
AI (12nm)	-293ps	-42ps	86%	-408.7ns	-22.9ns	94%	249h	188.5h	24.30%
DSP (5nm)	-8ps	-6ps	25%	-296ps	-165ps	44%	26h	20h	23.10%

表1 iSpatial flow与Spatial flow在Innovus布局后的QOR对比

2 iSpatial Flow 特征介绍

2.1 关键区域重构 (critical region restructuring (CRR))

iSpatial在RTL综合阶段引入了关键区域重构。如图3所示, 传统的RTL综合在优化违例时序路径时, 返回RTL, 对违例路径进行过约束, 然后重新综合后得到时序路径结构。这一方法的隐忧是引起意料之外的结果。而Genus iSpatial可以在得到布局后的物理设计后, 拿到准确的关键路径和模块, 从而利用CRR来进行关键路径优化, 将网表重构, 达到优化时序提高设计效率的目的。

3 iSpatial Flow 实例分享

3.1 iSpatial flow优良的预测性能

如前所述, 由于iSpatial 引入了Innovus GigaPlace/GigaOpt引擎, 前端后端设计的鸿沟已经一去不复返, 所以iSpatial的结果和Innovus布局之后的结果, 他们有极高的重合度。

如图4所示, 在五个不同的设计上, Innovus布局后WNS与iSpatial后的WNS显示出强一致性, 因此用iSpatial的结果来预测Innovus POD 的结果, 并进行网表评估是可靠的。

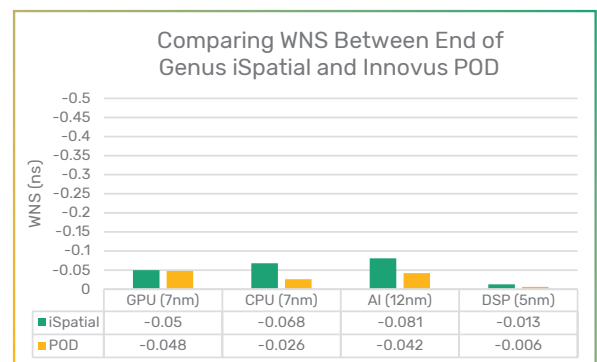


图4 iSpatial后WNS与Innovus 布局后WNS对比

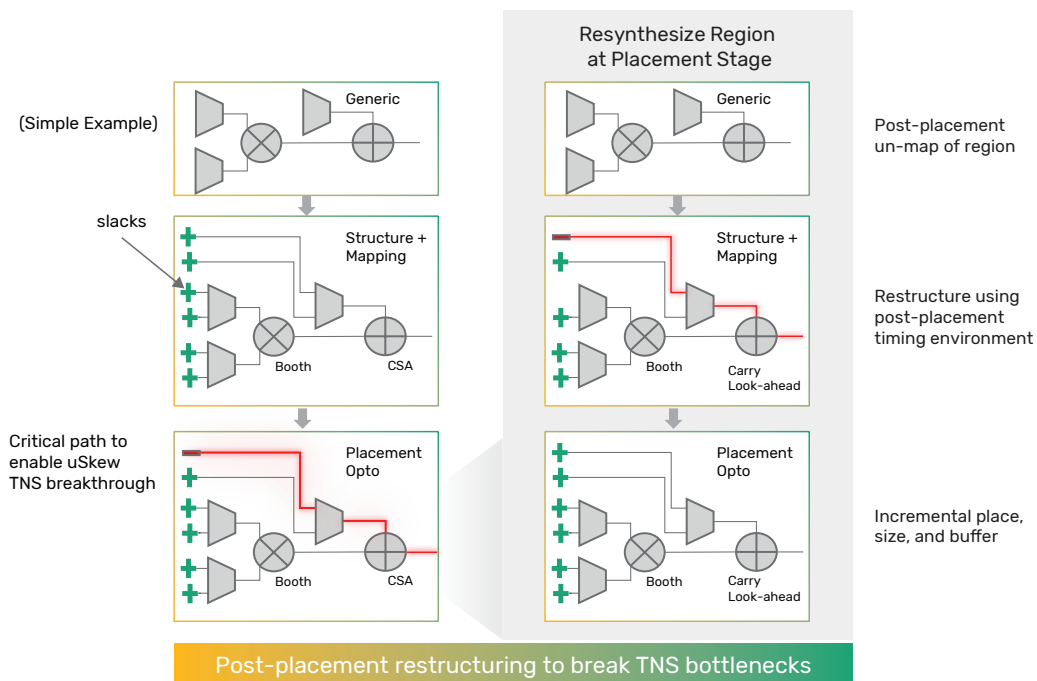


Figure 3: iSpatial technology's physical restructuring

下图五, 六, 七, 八显示的是一个40nm设计下的各项对比图。分别是WNS, TNS, 面积和TAT对比。通过使用iSpatial 流程, 我们就可以很早期的就对这个设计进行精准的预测, 当得到iSpatial的结果, 我们就可以针对设计出现的拥塞或者时序问题, 快速的对RTL进行优化, 极大的节省了设计迭代时间。

3.2 iSpatial Flow优良的QOR提升

iSpatial flow对Innovus GigaPlace/GigaOpt引擎, ECF等流程的调用, 引入关键区域重构 (critical region restructuring (CRR)) 和数据选择器与数据通路重构, 都有效地提升了全流程PPA。

iSpatial flow 全流程所用时间也有大幅降低。这主要都得益于

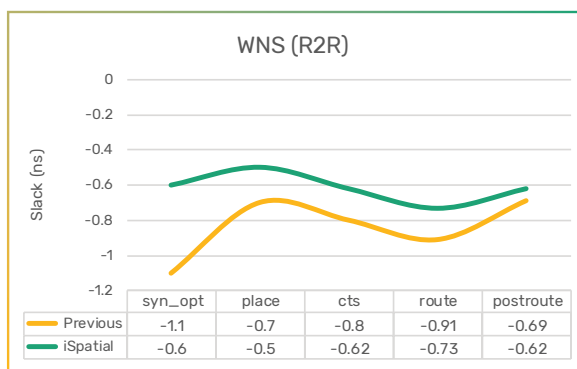


图5: Worst negative slack (WNS)

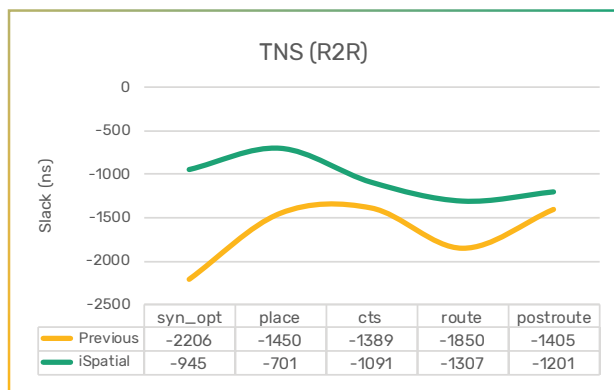


Figure 6: Total negative slack (TNS)

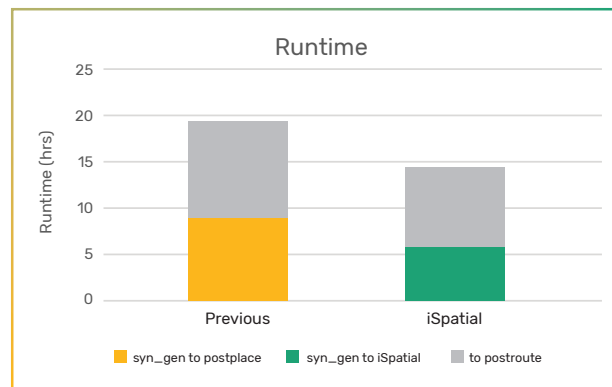


Figure 8: Runtime

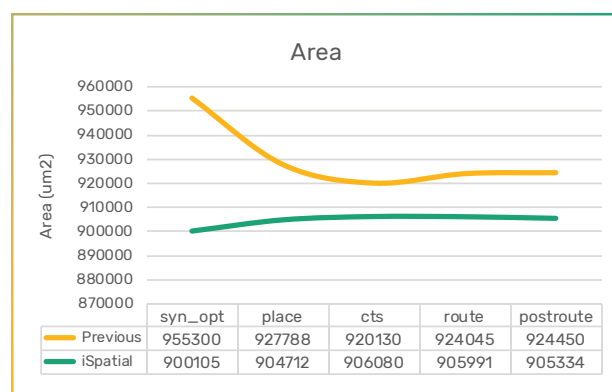


Figure 7: Standard cell area

Genus iSpatial可以得到更优时序的数据进入Innovus, 而Innovus不用重新进行布局优化, 而只做叠加优化, 从而能够快速收敛时序。

表3为iSpatial与Spatial flow postroute QOR对比, iSpatial flow在TAT, 时序, 功耗和面积上都取得了显著提升。iSpatial flow TAT有明显提升, 尤其在N12设计上, TAT有高达25%的提升; WNS与TNS在四个设计上都有较高提升, 尤其在N7和N12设计上提升高达90%; 功耗在四个设计上有-5%的提升; 但density也有不同程度的下降,

Design	GPU (7nm)			CPU (7nm)			AI (12nm)			DSP (5nm)		
	Spatial	iSpatial	delta	Spatial	iSpatial	delta	Spatial	iSpatial	delta	Spatial	iSpatial	delta
TNS	-0.02	-0.009	55%	-0.028	-0.007	75%	-0.391	-0.111	71%	-0.039	-0.013	66%
WNS	-15.46	-2.004	87%	-33.394	-0.47	98%	-410.41	-28.015	93%	-0.191	-0.172	10%
Density	60.56%	60.38%	0.30%	52.02%	50.31%	3.00%	17.49%	14.77%	16.00%	72.12%	72.08%	0%
Power	4,740.65	4628.0	2.4%	14968.28	14462.98	3%	9934.68	9412.09	5.2%	763.86	723.59	5%
TAT	209:03:47	192:03:03	8%	215:09:37	228:09:45	-6%	561:17:16	419:01:42	25%	80:52:58	67:03:37	16%

表3 iSpatial与Spatial flow全流程 (综合-postroute) QOR对比

4 小结

本文主要介绍了Cadence公司基于新一代综合工具Genus的新设计流程-iSpatial。该流程基于统一引擎的概念，将Innovus引擎引入到前端设计流程中，提升了前端综合对后端时序，绕线阻塞，功耗的预测性，同时提升了设计的QOR。该流程还引入了新的关键区域重构 (critical region restructuring (CRR)) 和新的数据选择器与数据通路重构，结合早期时钟树 (ECF) 流程，进一步提升了预测性和设计效率。在不同工艺节点的不同设计（上验证得出，iSpatial对提升设计时序，降低设计的功耗，减少运行时间等方面取得了重要进展。从设计的高效性和性能提升等方面来看，基于新一代综合工具Genus和布局布线工具Innovus平台的iSpatial流程值得在更多的设计项目中进行应用和推广。如果大家想详细了解如何使用iSpatial，欢迎来电来文。



cādence[®]

Cadence is a pivotal leader in electronic design and computational expertise, using their Intelligent System Design Strategy to turn design concepts into reality. Cadence customers are the world's most creative and innovative companies, delivering extraordinary electronic products from chips to boards to systems in the most dynamic market applications. www.cadence.com

© 2020 Cadence Design Systems, Inc. All rights reserved worldwide. Cadence, the Cadence logo, and the other Cadence marks found at www.cadence.com/go/trademarks are trademarks or registered trademarks of Cadence Design Systems, Inc. All other trademarks are the property of their respective owners. 14140 04/20 SA/DM/PDF