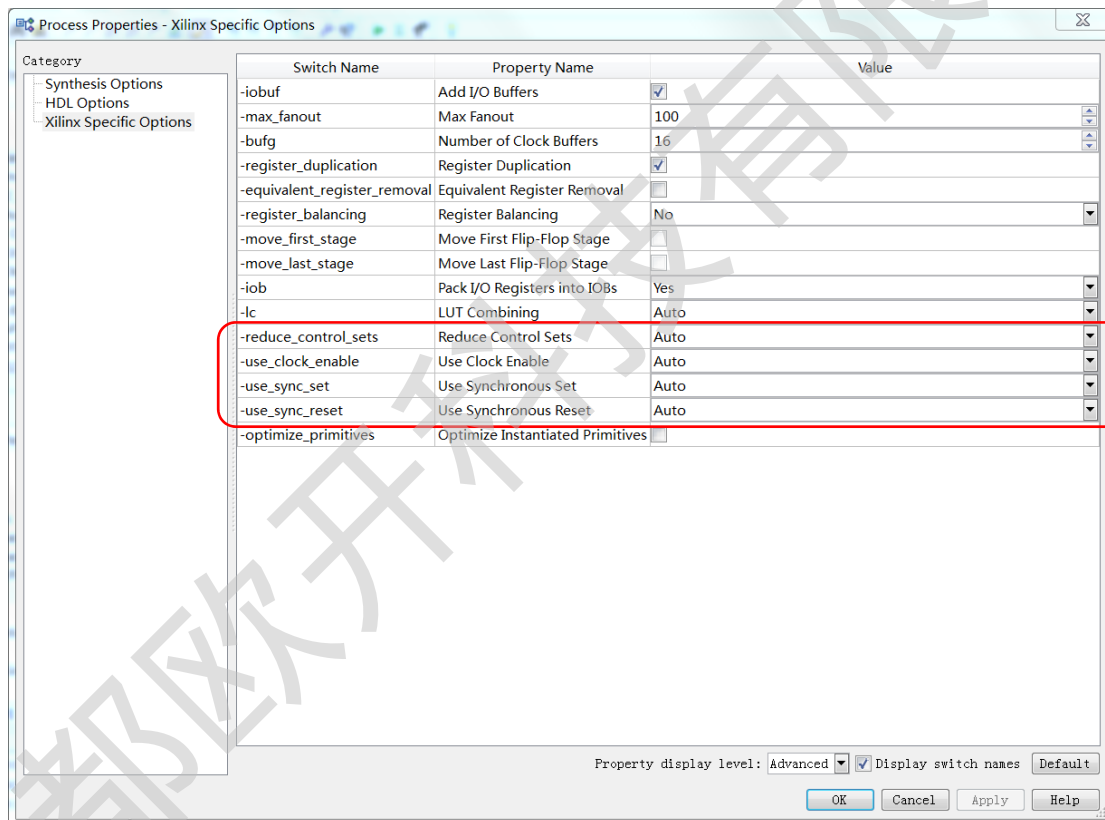


Spartn-6 触发器（FFs）控制信号（SR/CE）

的扇出数量统计方式

Spartan-6 的一个 Slice 中包含 8 个触发器（FFs），每个触发器包括两个控制信号：CE、SR（只能用作 Reset 或 Set 之一），但这 8 个触发器共用控制信号输入端口，这一特性限制控制信号不同的触发器在布局（Map）时，不能优化入同一 Slice，正是基于此，Xilinx 推荐对于低扇出的触发器控制信号在代码编写时尽量吸收进触发器 D 输入端之前的 LUT 中，并在 XST 的综合属性选项中提供配置项，让 XST 综合时自动将低扇出的控制信号吸收进触发器 D 输入端之前的 LUT 中，如下图：



但是，对于设计中大量使用的门控型总线数据，即满足某种条件时寄存一组总线数据，采用 FDE 的设计方式更有利于控制 CE 信号的扇出数量，基于此思路，特别试验，代码如下，其中 DBUF_DOUT、CFGR_BUF 即为 32-bits 的总线型数据：

```

if CFGR_BUF_CE = '1' then
    CFGR_BUF    <= DBUF_DOUT;
end if;
    
```

布局后，查看 XST 的 Map Report 中的 Control Sets 章节，如下图：

/Register_Write_Inst/WR_SyncVld	1	4
/Tx_Frame_Inst/CFGR_BUF_CE	8	32
/Tx_Frame_Inst/U0/MCNT_CE	6	24

可以看到，CFGR_BUF[31:0]这组总线数据采用 8 个 Slices 实现，每个 Slice 使用 4 个 FFs，符合设计预期。

查看 PAR 后的 Static Timing 报告，可以看到，Static Timing 报告中对 CFGR_BUF_CE 信号的扇出数量统计为 9，即每个 Slice 的 CE 输入端口统计为一个信号扇出，符合设计预期，如下图：

Paths for end point Tx_Wrap_Inst/GEN_Tx_CHx[6].Tx_CHx_Inst/Tx_Frame_Inst/CFGR_BUF_22 (SLICE_X29Y58.CE), 1 path

```

Slack (setup path): 0.281ns (requirement - (data path - clock path skew + uncertainty))
Source: Tx_Wrap_Inst/GEN_Tx_CHx[6].Tx_CHx_Inst/Tx_Frame_Inst/CFGR_BUF_CE (FF)
Destination: Tx_Wrap_Inst/GEN_Tx_CHx[6].Tx_CHx_Inst/Tx_Frame_Inst/CFGR_BUF_22 (FF)
Requirement: 8.000ns
Data Path Delay: 7.300ns (Levels of Logic = 0)
Clock Path Skew: -0.032ns (1.004 - 1.036)
Source Clock: LocalClk rising at 0.000ns
Destination Clock: LocalClk rising at 8.000ns
Clock Uncertainty: 0.387ns

Clock Uncertainty: 0.387ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
Total System Jitter (TSJ): 0.070ns
Total Input Jitter (TIJ): 0.000ns
Discrete Jitter (DJ): 0.703ns
Phase Error (PE): 0.000ns
    
```

Maximum Data Path at Slow Process Corner: Tx_Wrap_Inst/GEN_Tx_CHx[6].Tx_CHx_Inst/Tx_Frame_Inst/CFGR_BUF_CE to Tx_Wrap_Inst/GEN_Tx_CHx[6].Tx_CHx_Inst/Tx_Frame_Inst/Word_Vld

Location	Delay type	Delay(ns)	Physical Resource	Logical Resource(s)
SLICE_X34Y136.AMUX	Tshcke	0.535	Tx_Wrap_Inst/GEN_Tx_CHx[6].Tx_CHx_Inst/Tx_Frame_Inst/Word_Vld	
SLICE_X29Y58.CE	net (fanout=9)	6.357	Tx_Wrap_Inst/GEN_Tx_CHx[6].Tx_CHx_Inst/Tx_Frame_Inst/CFGR_BUF_CE	
SLICE_X29Y58.CLK	Tceck	0.408	Tx_Wrap_Inst/GEN_Tx_CHx[6].Tx_CHx_Inst/Tx_Frame_Inst/CFGR_BUF_22	
Total		7.300ns	(0.943ns logic, 6.357ns route)	(12.9% logic, 87.1% route)

综合 Xilinx 用户手册介绍的原理和实际试验结果，可以得出如下结论：XST 在对 Spartan-6 布局布线时一个 Slice 的 SR、CE 输入端口统计为一个信号扇出负载。